

CAPITOLUL 6

Circuite logice secvențiale

Circuitele logice combinaționale, sunt *circuite fără memorie* și se caracterizează prin faptul că semnalele de ieșire sunt combinații logice ale semnalelor de intrare.

La circuitele logice secvențiale (c.l.s.), starea ieșirilor depinde nu numai de starea actuală a intrărilor, dar și de stările anterioare ale circuitului. Din acest motiv, se spune că *circuitele logice secvențiale sunt circuite cu memorie*.

Schema bloc a unui circuit logic secvențial este prezentată în fig. 6.1, în care am notat cu x_1, x_2, \dots, x_n intrările principale, cu y_1, y_2, \dots, y_m – ieșirile principale, cu q_1, q_2, \dots, q_l – stările interne prezente ale circuitului și cu q_1', q_2', \dots, q_l' – stările interne următoare ale acestuia.

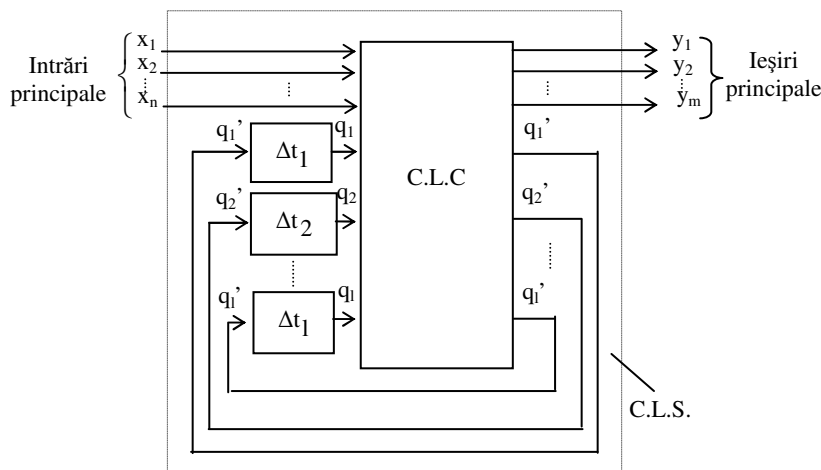


Fig. 6.1. Schema bloc a unui circuit logic secvențial

Expresiile ieșirilor și stărilor următoare ale unui circuit logic secvențial în funcție de intrări și stările prezente pot fi scrise astfel:

$$\begin{aligned} y_k &= y_k(x_1, x_2, \dots, x_n, q_1, q_2, \dots, q_l); \\ q_i' &= q_i'(x_1, x_2, \dots, x_n, q_1, q_2, \dots, q_l). \end{aligned} \quad (6.1)$$

În această formă, relațiile 6.1 definesc un *automat Mealy*.

În cazul în care y_k nu depinde decât de intrările x_1, x_2, \dots, x_n , spunem că relațiile 6.1 astfel modificate, definesc un *automat de tip Moore*.

Stările următoare q_i' devin prezente după un interval de timp determinat de întârzierile $\Delta t_1, \Delta t_2, \dots, \Delta t_l$, special introduse în circuit.

6.1. Circuite basculante bistabile SR

Circuitele basculante bistabile SR (CBB-SR) se obțin prin introducerea unei reacții într-un sistem elementar de ordin zero. Sistemul astfel obținut este de ordin 1.

CBB-SR pot fi realizate în varianta asincronă, sincronă sau "Master-Slave" (stăpân-sclav).

6.1.1. Circuitul basculant bistabil SR asincron

Circuitul basculant bistabil SR asincron, cunoscut - datorită proprietăților sale de a memora - și sub denumirea de *latch* (zăvor), poate fi realizat cu porti SAU-NU (NOR) sau cu porti SI-NU (NAND).

6.1.1.1. Circuitul basculant bistabil SR asincron realizat cu NOR-uri

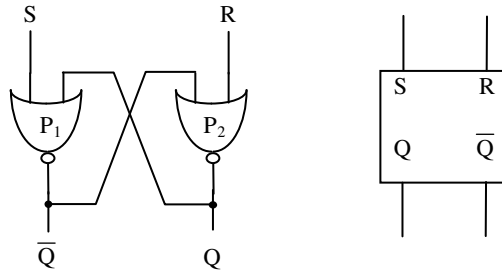
Circuitul basculant bistabil SR asincron realizat cu porti SAU-NU prezintă schema din fig. 6.2 și tabelul de tranziție – tab. 6.1, în care s-a notat cu indice n - valoarea logică prezentă și cu $n+1$ - valoarea logică viitoare.

Expresia ieșirii Q a circuitului poate fi obținută din schema din fig. 6.2, astfel:

$$\overline{Q_{n+1}} = S_n + \overline{(R_n + \overline{Q_n})} = \overline{S_n + R_n} \cdot Q_n. \quad (6.2)$$

Eliminând negația în ambii membri ai relației 6.2, obținem:

$$Q_{n+1} = S_n + \overline{R_n} \cdot Q_n. \quad (6.3)$$



a) Schema logică b) Simbolul
Fig. 6.2. CBB-SR asincron, varianta NOR

Tab.6.1. Tabel de tranziție al CBB-SR asincron, varianta NOR

| S_n | R_n | Q_{n+1} |
|-------|-------|-----------|
| 0 | 0 | Q_n |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | x |

- pentru $S_n R_n = 00$, $Q_{n+1} = Q_n$ (prima linie a tabelului de tranziție),
- pentru $S_n R_n = 10$, $Q_{n+1} = 1$ indiferent de valorile lui Q_n
- pentru $S_n R_n = 01$, $Q_{n+1} = 0$ indiferent de valorile lui Q_n
- pentru $S_n R_n = 11$, ieșirile celor două porți sunt forțate simultan în 0 logic, deci s-ar ajunge la situația inadmisibilă în care:

$$Q_{n+1} = \overline{Q}_{n+1} = 0. \quad (6.4)$$

Din acest motiv combinația de intrare $S_n R_n = 11$ este interzisă (de obicei prin logică suplimentară) iar în locațiile corespunzătoare ale tab. 6.1 se pune semnul "x", specific locațiilor în care funcția este nedefinită.

Denumirile S (SET) și R (RESET) ale intrărilor latch-ului SR asincron provin din limba engleză și au semnificațiile: *înscriere*, respectiv *ștergere*.

Într-adevăr, observăm că pentru $S_n R_n = 10$, intrarea de înscriere S_n este activată și în memoria elementară se înscrie 1 logic, deci $Q_{n+1} = 1$.

Similar, pentru $S_n R_n = 01$, intrarea de ștergere R_n este activată și memoria este ștearsă: $Q_{n+1} = 0$.

6.1.1.2. Circuitul basculant bistabil SR asincron realizat cu porți SI-NU

Schema circuitului basculant bistabil SR asincron realizat cu porți SI-NU este prezentată în fig. 6.4, iar tabelul de tranziție este tab. 6.2.

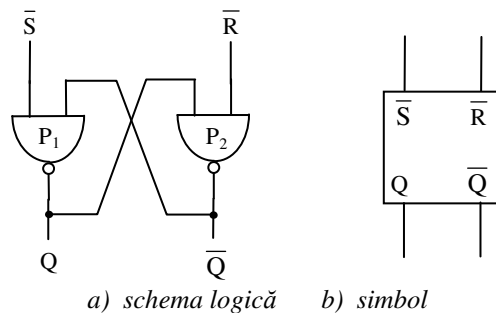


Fig.6.4. CBB-SR asincron, varianta cu porți SI NU

Tab.6.2. Tabel de tranziție al CBB-SR asincron, varianta SI NU

| S_n | R_n | Q_{n+1} |
|-------|-------|-----------|
| 1 | 1 | Q_n |
| 1 | 0 | 0 |
| 0 | 1 | 1 |
| 0 | 0 | x |

Pentru schema din fig. 6.4 putem scrie: $Q_{n+1} = \overline{\overline{S_n} \cdot (\overline{\overline{R_n} \cdot Q_n})} = S_n + \overline{R_n} \cdot Q_n$,
relație identică cu rel. 6.3, obținută în cazul circuitului basculant bistabil SR realizat cu NOR-uri.

Indiferent de varianta de implementare adoptată, CBB-SR asincron prezintă următoarele deficiențe:

- aceleași semnale care indică modul *cum* (în care) trebuie să se facă înscrierea, dictează și momentul *când* trebuie să aibă loc aceasta;
- pentru anumite tranziții ale intrărilor circuitului, starea ieșirilor este imprevizibilă.

6.1.2. Circuitul basculant bistabil SR sincron

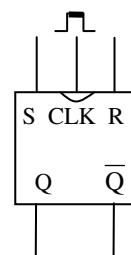
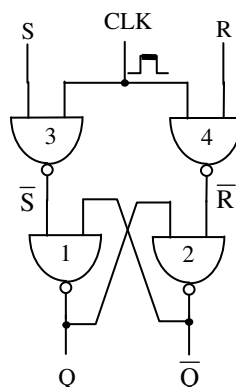
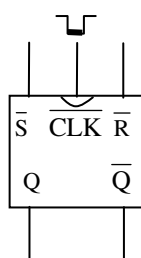
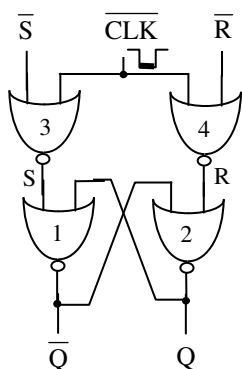
Circuitul basculant bistabil SR sincron se obține din cel asincron prin adăugarea a două porți, 3 și 4, validabile de un impuls de tact (fig. 6.6 și 6.7).

Funcționarea celor două CBB-SR sincrone fiind similară, ne vom limita la explicarea funcționării circuitului din fig. 6.6 a.

Observăm că pentru $\overline{CLK} = 1$, porțile 3 și 4 sunt inhibitate și orice modificare a lui \overline{S} și \overline{R} nu va afecta CBB-ul SR asincron format din porțile 1 și 2. Într-adevăr, pentru $\overline{CLK} = 1$, intrările acestuia vor fi $S_n R_n = 00$ și, conform primei linii din tab. 6.1, $Q_{n+1} = Q_n$ și ieșirile vor rămâne neschimbate.

Când $\overline{CLK} = 0$, porțile 3 și 4 vor fi validate și intrările \overline{S} \overline{R} , transformate în SR, vor avea acces la intrările CBB-SR asincron, acționând conform tab. 6.1.

Pentru o funcționare sincronă a circuitului este necesar ca $\overline{CLK} = 0$, care dictează *când* să se execute comenzile date de intrările \overline{S} \overline{R} , să apară numai după ce acestea s-au stabilizat. Modificarea lui \overline{S} \overline{R} în intervalul de timp în care porțile de intrare 3 și 4 sunt deschise, conduce la o funcționare asincronă a circuitului. Din acest motiv, sunt necesare condiții restrictive pentru relația de timp dintre \overline{CLK} și \overline{S} \overline{R} .



a) schema logică

b) schema bloc

a) schema logică

b) schema bloc

Fig. 6.6. CBB-SR sincron, varianta NOR

Fig. 6.7. CBB-SR sincron, varianta NAND

Circuitul din fig. 6.7 funcționează similar, impulsul de tact fiind de această dată activ pe palierul superior (1 logic) al impulsului de tact.

6.1.3. Circuitul basculant bistabil SR Master-Slave

După cum reiese din fig. 6.8, circuitul basculant bistabil SR Master-Slave reprezintă o extensie serie a bistabilului SR sincron implementat cu NAND-uri (v. fig. 6.7). Schema logică este prezentată în fig. 6.9 a, iar diagramele impulsurilor CLK și $\overline{\text{CLK}}$ - în fig. 6.9 b și c.

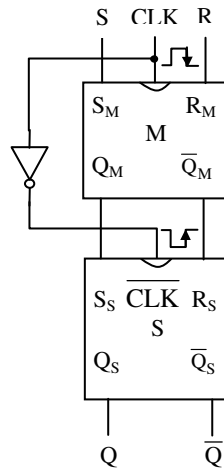


Fig. 6.8. CBB-SR-MS - Schema bloc

Funcționare

În intervalul (1)-(2), v. diagramele b și c din fig. 6.9, porțile de intrare (3M, 4M) și de transfer (3S, 4S) sunt blocate, iar MASTER-ul este izolat atât de intrări cât și de SLAVE.

În intervalul (2)-(3), CLK=1 și porțile 3M, 4M sunt validate, iar informația se înscrie în MASTER; porțile 3S, 4S fiind blocate ($\overline{\text{CLK}} = 0$), bistabilul SLAVE este în continuare izolat față de MASTER.

În intervalul (3)-(4) se repetă situația din intervalul (1)-(2) când MASTER-ul era izolat atât de intrări cât și de SLAVE.

În sfârșit, după momentul (4), porțile 3M, 4M sunt blocate (MASTER-ul izolat față de intrări) iar porțile 3S, 4S sunt validate și informația din MASTER se transferă în SLAVE.

Concluzionând, înscrierea informației în MASTER are loc înainte de momentul (3) (posibil chiar pe frontul descrescător al CLK), iar transferul ei în SLAVE (și deci la ieșire) are loc după momentul (4) (deci pe același front descrescător al CLK).

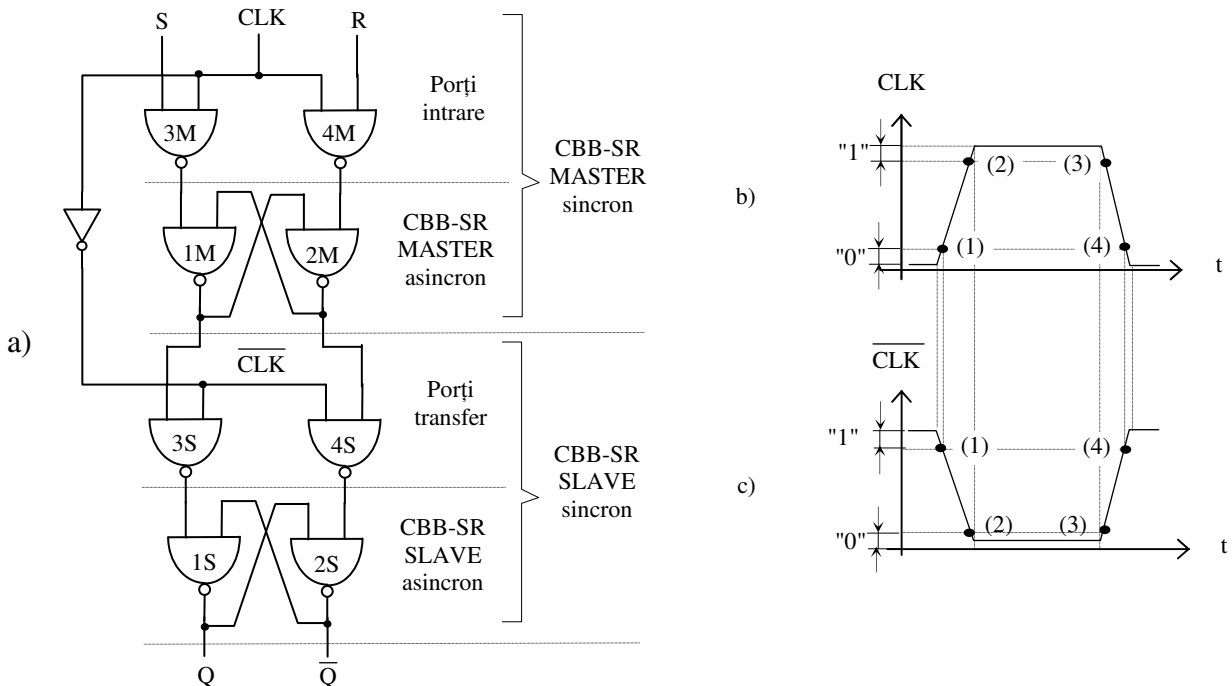


Fig. 6.9. CBB-SR-MS: a) schemă; b), c) diagrame

Prin urmare, pentru înscrierea fără erori a informației în CBB-SR-MS, este necesar ca aceasta să rămână stabilă la intrare un interval de timp în jurul intervalului (3)-(4).

Deși realizează o mult mai bună separație între *când* și *cum* trebuie să se modifice informația memorată, CBB-SR-MS nu elimină dezavantajul reprezentat de posibilitatea apariției tranzițiilor nedeterminate (v. tab. 6.1 și 6.2).

Evident, se pot construi CBB-SR-MS care să comute pe tranziția pozitivă a impulsului de tact.

6.2. Circuite basculante bistabile de tip D

Circuitele basculante bistabile de tip D pot fi realizate în varianta asincronă, sincronă și Master-Slave.

6.2.1. Circuitul basculant bistabil de tip D asincron

Circuitul basculant bistabil de tip D asincron, fig. 6.10, se obține dintr-un CBB-SR asincron (fig. 6.2, tab. 6.1 sau fig. 6.4, tab. 6.2), prin atașarea unui inversor în scopul eliminării stărilor nedeterminate.

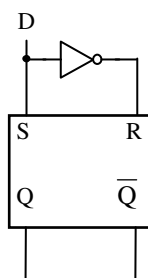


Fig. 6.10. Circuitul basculant bistabil de tip D asincron

Datorită inversorului, din tabelul 6.1 rămân numai liniile 2 și 3 pentru care $D_n = S_n = \bar{R}_n$, obținându-se tabelul 6.3.

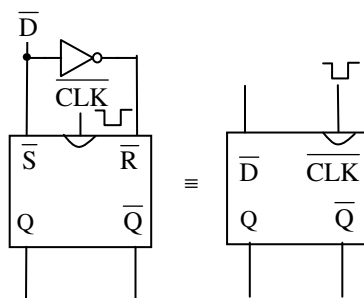
Tab. 6.3. Tabelul de tranziție al CBB de tip D

| $D_n = S_n = \bar{R}_n$ | Q_n | Q_{n+1} |
|-------------------------|-------|-----------|
| 1 | x | 1 |
| 0 | x | 0 |

Deoarece repetă practic instantaneu la ieșire ceea ce i se aplică la intrare (tab. 6.3), circuitul nu prezintă interes practic.

6.2.2. Circuitul basculant bistabil de tip D sincron

Variantele de CBB tip D sincron prezentate în fig. 6.11 și 6.12 au fost obținute prin atașarea câte unui inversor circuitelor basculante bistabile SR sincrone din fig. 6.6 și 6.7.



a) modul de obținere b) schema bloc

Fig. 6.11. CBB-D sincron comandat de palierul inferior al CLK

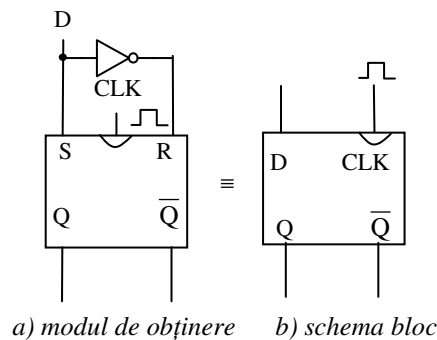


Fig. 6.12. CBB-D sincron comandat de palierul superior al CLK

Ca și în cazul CBB-SR sincron, pentru a realiza o comutare sincronizată de CLK, este necesar ca informația de la intrarea D să se modifice în afara palierului activ al impulsului de tact ($\overline{\text{CLK}} = 0$ pentru fig. 6.11 și $\text{CLK}=1$ pentru fig. 6.12), în timpul palierului respectiv aceasta trebuind să rămână stabilă. Apariția palierului activ al impulsului de CLK declanșază operațiunea de înscriere a informației în bistabil și permite citirea acesteia la ieșire.

Intervalul de timp scurs între momentul apariției informației la intrarea bistabilului și momentul în care aceasta poate fi citită la ieșire, reprezintă o *temporizare comandată prin CLK*. De fapt, denumirea de bistabil de tip D, provine din englezescul *DELAY=întârziere*.

În fig. 6.13 am reprezentat schema logică a unuia din cele două latch-uri de tip D a câte 2 biți fiecare, din structura circuitului integrat CDB 475, iar în tab. 6.4 - funcționarea latch-ului respectiv.

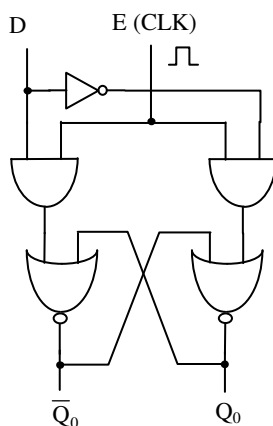


Fig. 6.13. Schema logică a latch-ului de tip D din structura CI - CDB 475

Tab. 6.4. Explicativ pentru funcționarea latch-ului de tip D din fig. 6.13

| Mod operare | Intrări | | Ieșiri | |
|--------------------|---------|-------|-----------|----------------------|
| | E_n | D_n | Q_{n+1} | \overline{Q}_{n+1} |
| Autorizare date | 1 | 0 | 0 | 1 |
| | 1 | 1 | 1 | 0 |
| Blocare date | 0 | x | Q_n | \overline{Q}_n |

Bistabilul de tip D sincron are numeroase aplicații practice: latch-ul adresabil, memoria RAM, etc.

6.2.3. Circuitul basculant bistabil D Master-Slave

Circuitul basculant bistabil D Master-Slave se obține, ca și omologul său în variantă SR, din două bistabile D sincrone conectate în cascadă și comandate în contratimp de impulsul de CLK.

În funcție de tipul de bistabile D sincrone din care este constituit, bistabilul D Master-Slave poate comuta fie pe frontul anterior, fie pe cel posterior al impulsului de CLK.

Dintre cele mai frecvente aplicații ale sale, menționăm registrele: registrul de deplasare serie, paralel, combinat, universal, etc.

6.2.3.1. Registrul de deplasare serie

Registrul de deplasare serie, fig. 6.16, este format din 4 bistabili de tip D Master-Slave.

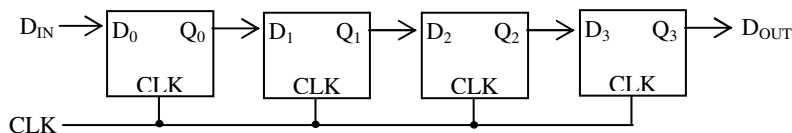


Fig. 6.16. Schema generală a unui registru de deplasare serie

În timpul funcționării, latch-urile de tip *master* sunt deschise simultan pentru CLK=0, cele de tip *slave* fiind închise. În timpul tranziției din 0 în 1 a semnalului de CLK, latch-urile *master* se blochează iar cele *slave* se deschid și primesc informația din *master*. Se remarcă faptul că în nici un moment nu există o cale deschisă între intrarea și ieșirea registrului.

Pe baza schemei din fig. 6.16 putem scrie următoarele relații:

$$D_{OUT}^n = Q_3^n = D_3^{n-1} = Q_2^{n-1} = D_2^{n-2} = Q_1^{n-2} = D_1^{n-3} = Q_0^{n-3} = D_0^{n-4} = D_{IN}^{n-4} \quad (6.5)$$

Se observă că informația D_{IN} ajunge la ieșirea registrului după 4 impulsuri de tact.

Registrele de deplasare pot fi construite atât în variante statice cât și în variante dinamice. În cazul structurilor dinamice va trebui impusă o frecvență minimă a semnalului de ceas pentru ca datele înscrise în celulele de memorare să se poată regenera sigur prin transferul în celulele următoare

Registrele de deplasare serie pot fi utilizate ca memorii cu acces serie (SAR - Serial Acces Memory/Register). Ele sunt construite pentru un număr foarte mare de biți, creșterea numărului de celule de memorare neavând nici un fel de implicații asupra numărului de conexiuni externe ale integratului.

6.2.3.2. Registrul paralel

Registrul paralel (de stocare, tampon) prezentat în fig. 6.17, este format din 4 bistabili de tip D acționați sincron de un tact comun.

În momentul aplicării tactului, cuvântul binar de 4 biți prezent la intrările I_0, I_1, I_2, I_3 , este înscris în cele 4 celule de memorie și poate fi citit la ieșirile Q_0, Q_1, Q_2, Q_3 .

Funcția principală a unui astfel de registru este aceea de a stoca temporar anumite configurații binare în scopul unui acces ușor la ele în vederea prelucrării.

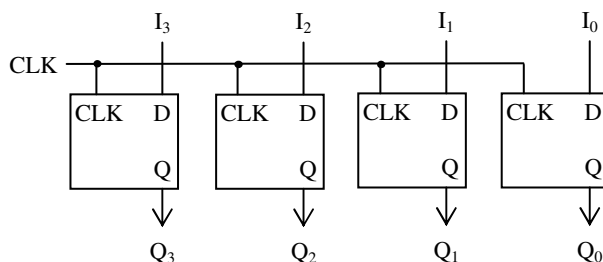


Fig. 6.17. Schema generală a unui registru paralel

Registrul paralel este memoria zonelor de viteză maximă dintr-un sistem digital de prelucrare a datelor.

6.2.3.3. Registrul combinat

Cele două tipuri de registre tratate mai sus sunt utilizate în aplicații în care transferul datelor se face fie numai paralel, fie numai serie. Registrele combinate permit trecerea de la transferul paralel la cel serie și invers.

În fig. 6.18 prezentăm un registru combinat (paralel-serie sau serie-paralel) de 4 biți.

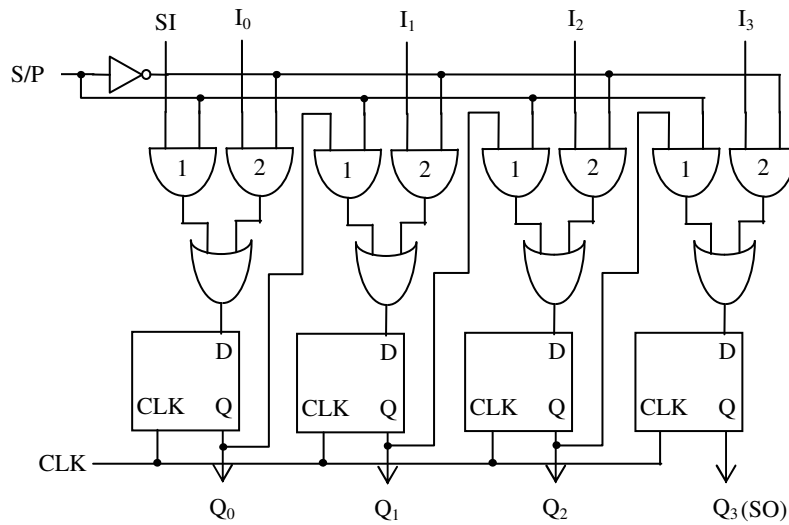


Fig. 6.18. Schema generală a unui registru combinat

Pentru $S/P = 0$, sunt validate porțile 2 și datele de intrare I_0, I_1, I_2, I_3 au acces la intrările celor 4 bistabile. Încărcarea paralel are loc în momentul aplicării impulsului de CLK.

Pentru $S/P = 1$ sunt validate porțile 1, astfel încât registrul realizează o deplasare serie a datelor de la stânga la dreapta, cu câte un bit pentru fiecare impuls de CLK.

Registrul poate funcționa ca un convertor paralel-serie, datele fiind introduse paralel la intrările I_0, I_1, I_2, I_3 și fiind extrase serie la ieșirea SO (Serial Output) a circuitului.

În regim de convertor serie-paralel, datele se introduc de o manieră serială la intrarea SI (Serial Input) și sunt extrase paralel la ieșirile Q_0, Q_1, Q_2, Q_3 .

6.3. Circuite basculante bistabile de tip T

Circuitul basculant bistabil de tip T se obține dintr-un bistabil D prin introducerea unei reacții suplimentare ieșire-intrare, aplicată prin intermediul unui circuit logic combinațional elementar, fig. 6.20.

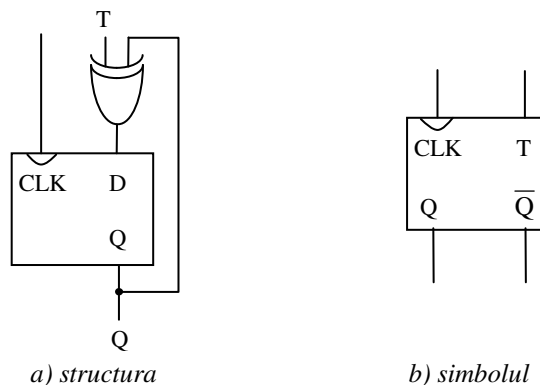


Fig. 6.20. Circuitul basculant bistabil de tip T sincron

Tab. 6.6. Tabelul de tranziție al circuitului basculant bistabil de tip T

| T_n | Q_{n+1} |
|-------|-------------|
| 0 | Q_n |
| 1 | \bar{Q}_n |

Din tabelul de tranziție, tab. 6.6, se poate deduce expresia funcției de ieșire;

$$Q_{n+1} = Q_n \bar{T}_n + \bar{Q}_n T_n = Q_n \oplus T. \quad (6.6)$$

Bistabilul T din fig. 6.20 nu îndeplinește funcția de memorie propriu-zisă (cum este cazul bistabilelor SR și D), având un comportament definit atât de intrare cât și de starea în care se află. El este cel mai simplu sistem automat și este utilizat la construirea numărătoarelor asincrone.

6.4. Circuite basculante bistabile de tip JK

Reamintim faptul că bistabilul D a apărut ca urmare a necesității de a înlătura tranzițiile nedeterminate ale bistabilelor SR. Același efect de eliminare a tranzițiilor nedeterminate se poate obține prin introducerea de reacții suplimentare în structurile SR.

2.6.1. Circuitul basculant bistabil JK asincron

Bistabilul JK asincron, fig. 6.21, poate fi obținut din bistabilul SR asincron prin introducerea unei reacții.

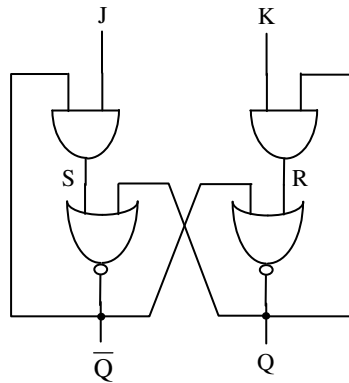


Fig. 6.21. Schema circuitului basculant bistabil JK asincron

Din fig. 6.21 se poate deduce succesiv funcția de ieșire a circuitului:

$$S_n = J_n \bar{Q}_n; \quad (6.7)$$

$$R_n = K_n Q_n; \quad (6.8)$$

$$\begin{aligned} Q_{n+1} &= K_n Q_n + \overline{(J_n \bar{Q}_n + Q_n)} = \overline{(K_n Q_n)} (J_n \bar{Q}_n + Q_n) = \\ &= (\bar{K}_n + \bar{Q}_n) (J_n \bar{Q}_n + Q_n) = \bar{K}_n J_n \bar{Q}_n + \bar{K}_n Q_n + J_n \bar{Q}_n; \\ Q_{n+1} &= J_n \bar{Q}_n + \bar{K}_n Q_n. \end{aligned} \quad (6.9)$$

Ținând seama de rel. 6.9 și tabelul de tranziție al CBB-SR asincron, tab. 6.1, putem alcătui tab. 6.7.

Tab. 6.7. Tabelul de tranziție al CBB-JK asincron

| J_n | K_n | S_n | R_n | Q_{n+1} |
|-------|-------|-------------|-------|-------------|
| 0 | 0 | 0 | 0 | Q_n |
| 0 | 1 | 0 | Q_n | 0 |
| 1 | 0 | \bar{Q}_n | 0 | 1 |
| 1 | 1 | \bar{Q}_n | Q_n | \bar{Q}_n |

Se observă că pentru $J_n=K_n=1$, se obține la ieșire $Q_{n+1} = \bar{Q}_n$, deci ieșirile oscilează permanent între 0 și 1 logic.

6.4.2. Circuitul basculant bistabil JK sincron

Schema CBB-JK sincron, fig. 6.22, se obține din cea precedentă prin introducerea unei borne suplimentare pentru tact iar tabelul de tranziție este tab. 6.8.

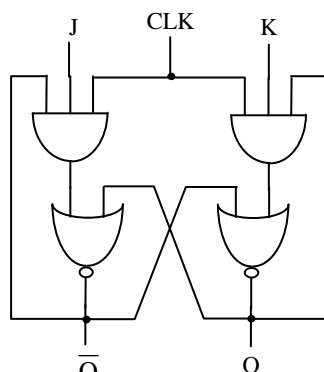


Fig. 6.22. Schema circuitului basculant bistabil JK sincron

Tab. 6.8. Tabelul de tranziție al circuitului basculant bistabil JK sincron

| J_n | K_n | CLK | Q_{n+1} | |
|-------------------|-------------------|-------------------|------------------|--------------------------|
| 0 | 0 | $0 \rightarrow 1$ | Q_n | Funcționare sincronă |
| 1 | 0 | $0 \rightarrow 1$ | 1 | |
| 0 | 1 | $0 \rightarrow 1$ | 0 | |
| 1 | 1 | $0 \rightarrow 1$ | $\overline{Q_n}$ | |
| x | x | 0 | Q_n | Circuit blocat |
| $0 \rightarrow 1$ | 0 | 1 | 1 | |
| 0 | $0 \rightarrow 1$ | 1 | 0 | Funcționare asincronă |

Se observă că prin legarea împreună a intrărilor J și K se obține un bistabil de tip T care, pentru $J_n = K_n = T_n = 1$, basculează dintr-o stare în alta la comanda impulsului de CLK.

6.4.3. Circuitul basculant bistabil JK Master-Slave

Bistabilul JK-MS se obține prin conectarea în cascadă a două CBB-JK sincrone, transferul informației în secțiunea *slave* având loc pe frontul descrescător al impulsului de CLK. Tabelul de tranziție este tot tab. 6.7.

6.4.3.1. Numărătorul asincron

Numărătorul asincron, fig. 6.23, utilizează 4 circuite basculante bistabile JK Master-Slave, în regim de circuit basculant bistabil de tip T: $J_n = K_n = T_n = 1$.

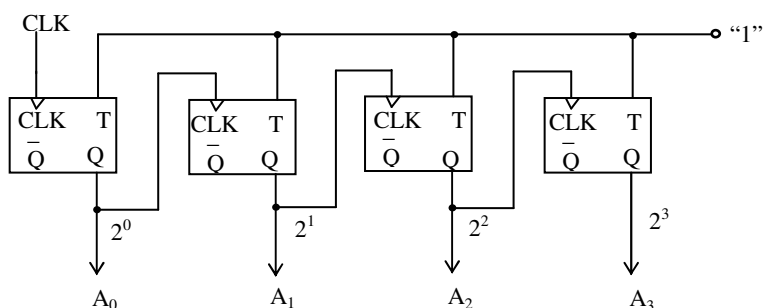


Fig. 6.23. Schema numărătorului asincron

Acest circuit se caracterizează prin faptul că impulsul de CLK nu acționează asupra tuturor bistabilelor de tip T, ci numai asupra primului, ieșirile fiecărui bistabil fiind conectate la intrarea de CLK a bistabilului următor.

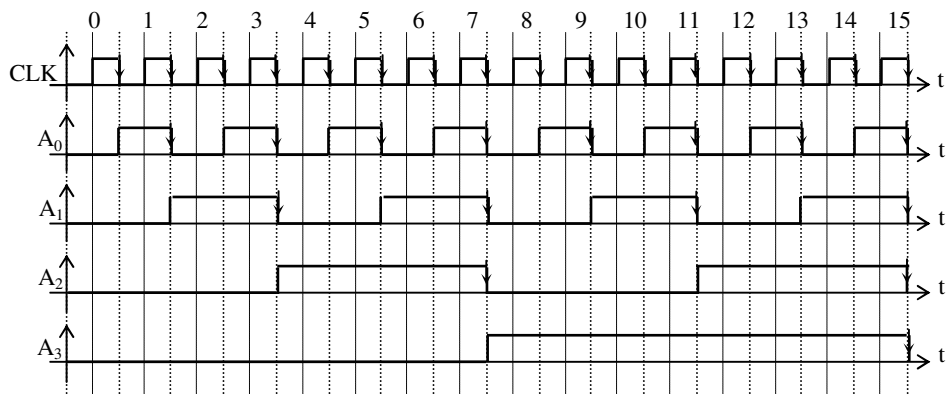


Fig. 6.24. Diagramele de semnal ale numărătorului asincron

În plus, toate intrările T ale bistabilelor fiind permanent conectate la 1 logic, valoarea logică a ieșirii fiecărui bistabil se modifică pe frontul negativ al impulsurilor primite pe intrarea de CLK, v. fig.6.24.