

Lucrarea nr. 3

Demultiplexorul și multiplexorul

1. Scopul lucrării

Această lucrare are ca scop studiul circuitelor combinaționale de tip demultiplexor (DEMUX) și multiplexor (MUX).

2. Prezentare teoretică

Interconectarea în sistemele digitale se face prin funcțiile complementare: demultiplexarea și multiplexarea.

Prima presupune distribuirea comandată a semnalelor, iar cea de a doua asigură selectarea comandată a unor configurații binare. Comanda este asigurată pe coduri de selecție de n biți. Astfel se distribuie sau se selectează pe 2^n canale. Ambele funcțiuni se bazează pe decodificare.

2.1. Demultiplexorul

Demultiplexorul, DEMUX pentru un bit notat cu \bar{E} , indică prin cei n biți de selecție $x_{n-1}, x_{n-2}, \dots, x_0$ una din ieșirile $\bar{y}_{n-1} \dots \bar{y}_0$ la care este transferată valoarea \bar{E} aplicată intrării.

Spre exemplificare se prezintă un DEMUX cu doi biți de selecție x_0, x_1 , în fig. 3.1.

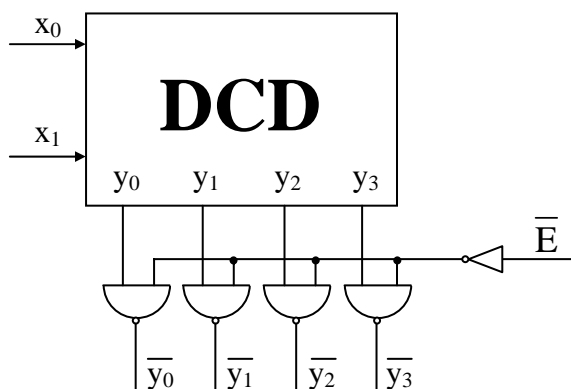


Fig. 3.1.

Decodificatorul folosit este unul cu 2 biți de selecție și cu ieșirile active pe 1 logic.

Funcționarea circuitului este descrisă de Tabelul 3.1.

Se observă că dacă $\bar{E} = 0$ atunci circuitul se transformă într-un decodificator cu ieșirile active pe 0 logic.

Tabelul 3.1.

x_1	x_0	y_0	y_1	y_2	y_3
0	0	\overline{E}	1	1	1
0	1	1	\overline{E}	1	1
1	0	1	1	\overline{E}	1
1	1	1	1	1	\overline{E}

2.2. Multiplexorul

Funcția „inversă” demultiplexării este multiplexarea. Circuitul asociat acestei funcții este folosit pentru a selecta comandat configurații binare de pe mai multe canale într-unul singur.

Un multiplexor, MUX, are n intrări de selecție $x_{n-1}, x_{n-2}, \dots, x_0$, care selectează la ieșirea Y valoarea de pe una din cele $M=2^N$ intrări, $i_{n-1}, i_{n-2}, \dots, i_0$ prin specificarea indicelui mărimii i_j .

În fig. 3.2 se prezintă un MUX cu doi biți de selecție x_1, x_0 .

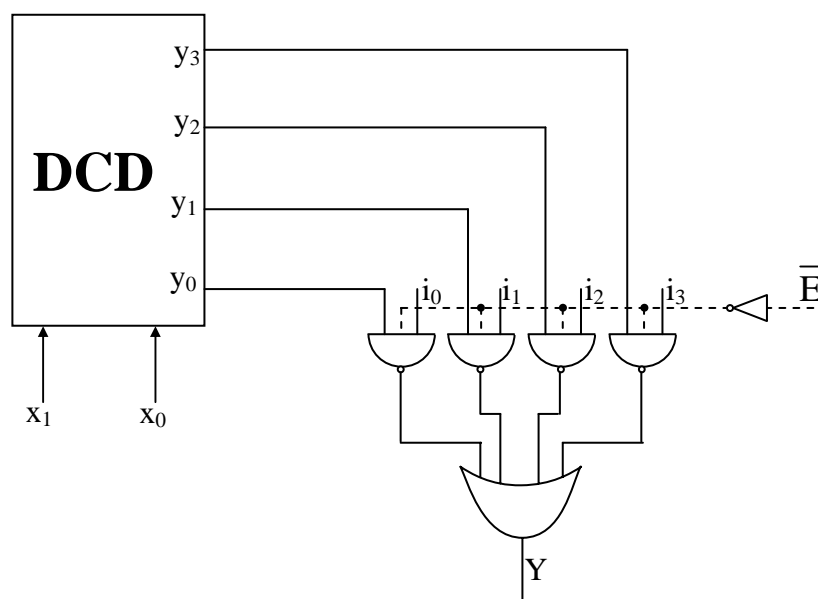


Fig.3.2.

Funcționarea circuitului este descrisă de Tabelul 3.2.

Tabelul 3.2.

x_1	x_0	Y
0	0	i_0
0	1	i_1
1	0	i_2
1	1	i_3

În circuitele practice se mai folosește o intrare \overline{E} pentru validarea circuitului astfel că:

$$Y = E(\overline{x_0} \overline{x_1} i_0 + x_0 \overline{x_1} i_1 + \overline{x_0} x_1 i_2 + x_0 x_1 i_3)$$

3. Desfășurarea lucrării

3.1. Se va realiza un demultiplexor cu două intrări de selecție, conform fig. 3.1. și se va analiza cu ajutorul programului SCHEMATICS – ORCAD.

Pentru o analiză concludentă intrările x_1 , x_0 , vor primi toate combinațiile binare din tabelul 3.1.

Semnalele de intrare vor avea următoarele forme de undă (fig. 3.3.)

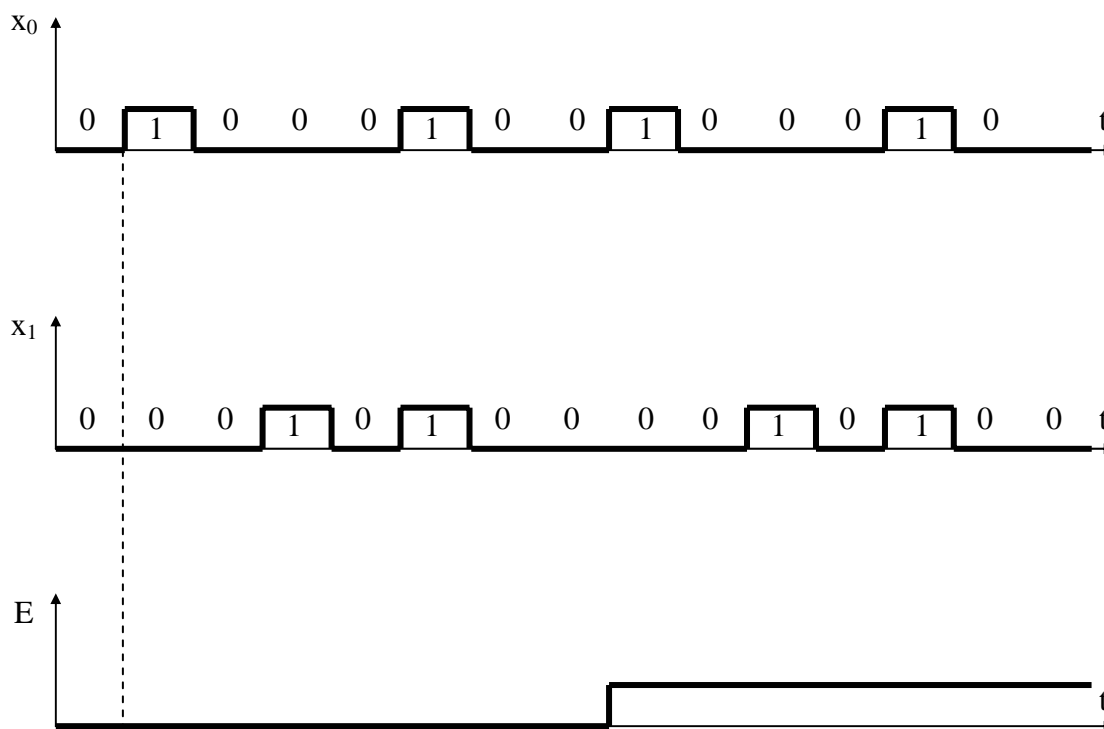


Fig.3.3.

3.2. Se va realiza un multiplexor cu două intrări de selecție conform fig.3.2. Semnalele de intrare vor avea următoarele forme de undă (fig.3.4).

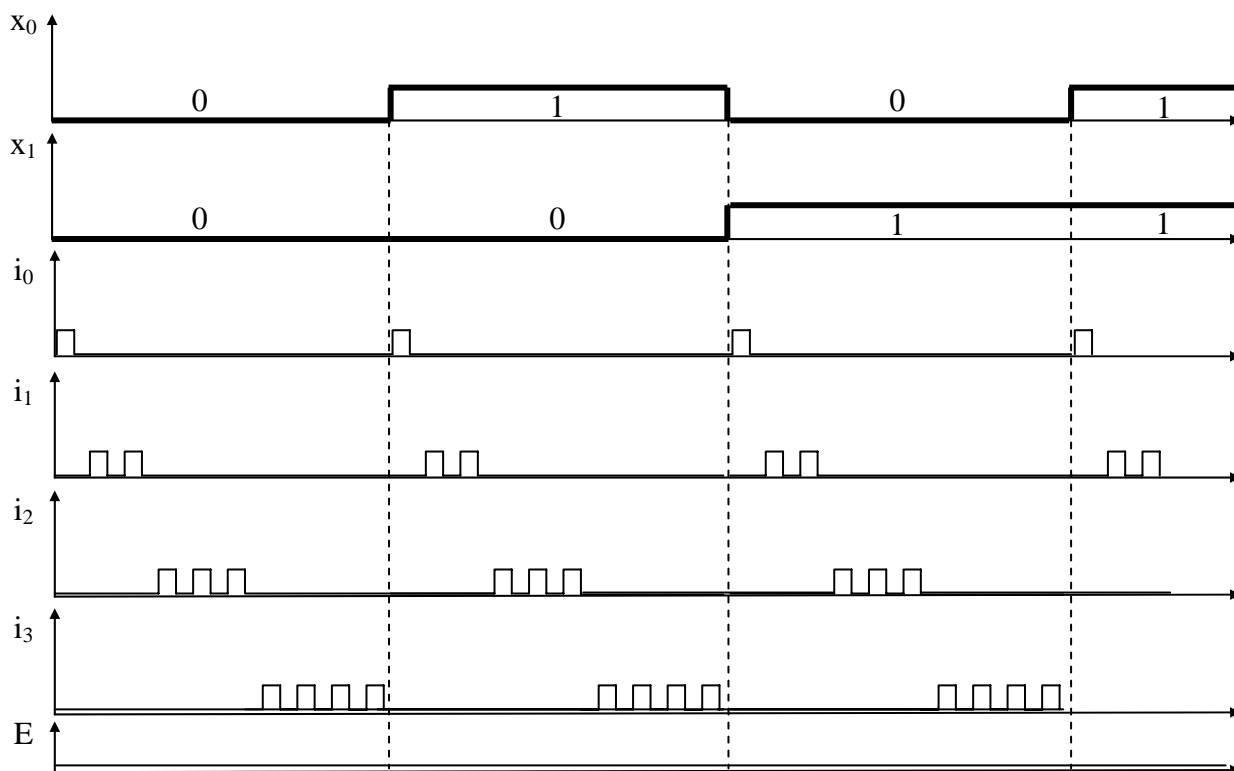


Fig. 3.4.

Se va repeta analiza de semnale din. 3.4. pentru semnalul $E=1$.

4. Conținutul referatului

Referatul va conține următoarele:

- schema cu porți logice a celor două tipuri de circuite MUX și DEMUX;
- formele de undă la ieșirile celor două circuite MUX, DEMUX, atunci când semnalele de intrare sunt cele din figurile 3.3. și 3.4.;
- comentarii privind implementarea funcțiilor logice cu ajutorul MUX.