

4. FAMILIA DE CIRCUITE INTEGRATE NUMERICE CMOS (19.04.04)

4.0. INTRODUCERE

Familia de circuite integrate CMOS a fost dezvoltată aproximativ în aceeași perioadă cu familia TTL, dar inițial a avut o extindere mai redusă datorită timpilor de propagare mai mari și implicit a frecvenței de operare mai reduse (cuprinsă tipic între 1 și 10 MHz). La realizarea acestor circuite sunt folosite tranzistoare MOS cu canal n și canal p , evitându-se utilizarea rezistențelor.

Familia CMOS oferă o serie de **avantaje** față de circuitele TTL:

- creșterea densității de integrare de circa zece ori, permițând astfel integrarea unor funcții suplimentare;
- rezistența de intrare este foarte mare, curenții de intrare sunt foarte mici, ceea ce corespunde la un factor de bransament mai mare decât la TTL;
- tehnologia este simplă, deci și ieftină;
- puterea consumată în regim static este foarte mică, neglijabilă;
- este posibilă folosirea unei plaje largite de tensiune de alimentare (pentru seria 4000, 3÷18 V);
- au o margine de zgomot (mult) mai mare decât cea întâlnită la familia TTL;

Dezavantajul major al seriei 4000 constă în timpul de propagare mai mare decât la TTL, dar datorită perfecționărilor tehnologice ulterioare timpul de propagare a fost redus considerabil la seriile CMOS rapide.

Seriile CMOS utilizate în prezent sunt:

- seria **4000**, apărută în 1972 care se folosește și în prezent în aplicații industriale datorită marginii de zgomot foarte mari. Poate fi utilizată în aplicații în care frecvența semnalelor de la intrările circuitelor logice nu depășește câțiva MHz, tensiunea de alimentare fiind $V_{DD} = 3 \div 15$ V, iar marginea de zgomot depinde de tensiunea de alimentare: $\Delta U_z = 30\% V_{DD}$.
- seriile CMOS rapide (**74HCxxx**, **74HCTxxx**) dezvoltate după 1980 au performanțe superioare seriei 4000, prima variantă fiind compatibilă cu niveluri de tensiune de intrare CMOS (tensiunea de alimentare fiind cuprinsă în intervalul 2 - 6V), iar cea de-a doua cu niveluri de tensiune de intrare TTL, tensiunea de alimentare fiind cuprinsă în intervalul 4,5 – 5,5 V.
- seriile performante (**74ACxxx**, **74ACTxxx**) au proprietăți îmbunătățite față de HC (tensiunea de alimentare 6V), prima variantă fiind compatibilă cu niveluri de tensiune de intrare CMOS (tensiunea de alimentare fiind cuprinsă în intervalul 2 - 6V), iar cea de-a doua cu niveluri de tensiune de intrare TTL, tensiunea de alimentare fiind cuprinsă în intervalul 4,5 – 5,5 V.

4.1. SERIA 4000 – CARACTERISTICI GENERALE

Seria 4000 se utilizează încă în aplicații industriale datorită unei margini de zgomot ridicate ($0,3V_{DD}$), a plajei largi de tensiuni de alimentare (tipic 3 - 15 V și maxim 18 V) și a frecvenței maxime de operare de ordinul MHz.

Pentru seria 4000 poarta fundamentală este **inversorul CMOS**. În astfel de circuite se utilizează tranzistoare MOS cu canal n și cu canal p . Pentru tipul n se folosesc tranzistoare cu canal indus cu îmbogățire (figura 4.1). Deoarece în circuitele practice substratul tranzistorului cu canal p se leagă la cel mai pozitiv potențial din schemă (V_{DD}), iar substratul la tranzistorul n la cel mai negativ potențial (notat V_{SS} , care de obicei este masa - GND), pentru simplificarea reprezentărilor se vor utiliza simbolurile alternative din figura 4.1, inspirate de tranzistoarele bipolare nnp și pnp .

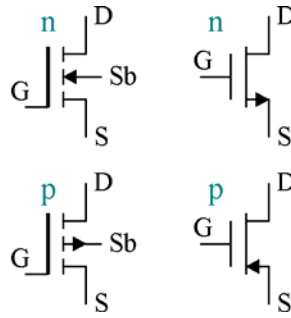


Figura 4.1. Tranzistoare MOS folosite în circuitele CMOS, simbol clasic și reprezentare simplificată.

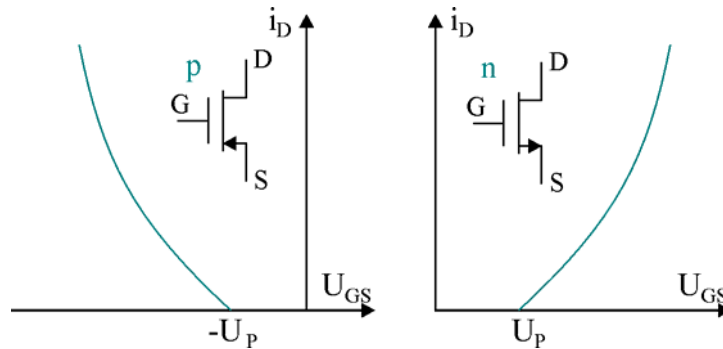


Figura 4.2. Caracteristica $i_d - U_{GS}$ a tranzistoarelor MOS cu canal indus.

Din caracteristicile reprezentate în figura 4.2 se remarcă faptul că pentru $U_{GS} = 0$ V nici unul dintre tranzistoare nu conduce. Conducția începe la depășirea în modul a unei tensiuni de prag U_p sau V_{Th} care are o valoare tipică de 1,5 V pentru seria 4000. Perfecționările tehnologice constante realizate în ultimele decenii au condus la reducerea acestei tensiuni de prag la 1,25 V și ulterior chiar sub 1 V, permițând astfel apariția unor serii alimentate la 3,3 V (3 V), apoi la 2,5 V sau mai nou la 1,8 V.

La dimensiuni geometrice identice cele două tranzistoare au parametri diferiți. Cele cu canal n sunt superioare din punct de vedere al conducției, prezintă o tensiune de prag mai mică și o rezistență în conducție R_{ON} (rezistența dintre drenă și sursă în conducție) mai redusă; de asemenea funcționează la frecvențe mai ridicate. Schema electrică a circuitelor din celelalte serii este similară cu cea din seria 4000.

4.2. INVERSORUL CMOS

Inversorul CMOS (figura 4.3) este *poarta fundamentală* din seria 4000. Rolul elementelor din schemă:

- R_1 și D_1 asigură limitarea tensiunilor de intrare pozitive la valoarea $U_{iMax} = V_{DD} + U_d$;
- R_2 și D_2 (diodă distribuită) protejează stratul de oxid al porții față de tensiunile de intrare negative care pot apare în regim tranzitoriu;
- T_1 și T_2 formează etajul inversor cu două tranzistoare complementare ce funcționează în contratimp;
- fiecare tranzistor e însoțit de o diodă parazită intrinsecă conectată în antiparalel cu tranzistorul.

Pentru a obține timpi de comutare apropiați pentru tranzițiile ieșirii din L în H și din H în L, este necesară egalizarea rezistențelor drenă-sursă în conducție $R_{0N1} = R_{0N2}$, de aceea dimensiunile celor

două tranzistoare sunt diferite: $\left(\frac{Z}{L}\right)_{T_2} = (2 \approx 3) \left(\frac{Z}{L}\right)_{T_1}$.

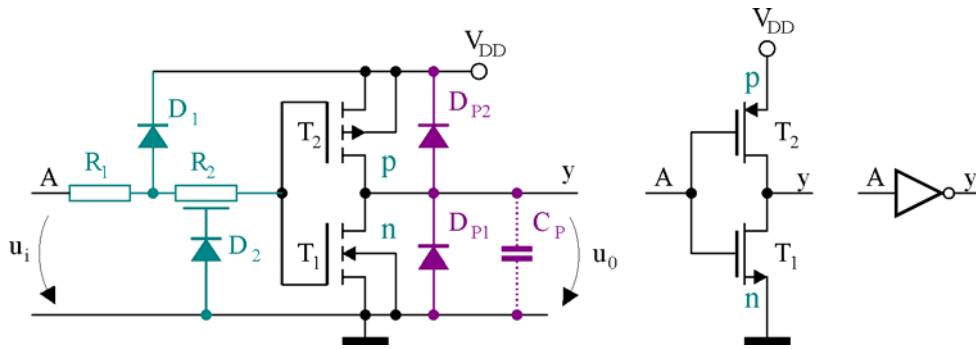


Figura 4.3. Inversorul CMOS – schema electrică, schema simplificată, simbol.

4.2.1. Analiza funcționării inversorului în regim static

Pe baza analizei grafice prin suprapunerea caracteristicilor $i_{d1} = f(U_{GS1})$ și $i_{d2} = f(U_{GS2})$, ținând cont că $U_{1GS} = u_i$ și $U_{2GS} = u_i - V_{DD}$, iar ieșirea este în gol, în figura 4.4 sunt reprezentate caracteristicile tensiune-curent pentru ambele tranzistoare.

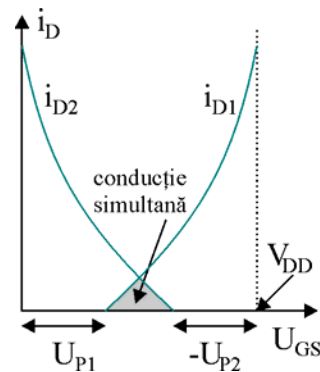


Figura 4.4. Caracteristicile reunite curent-tensiune ale tranzistoarelor din inversorul CMOS.

Dacă:

- $0 < u_i < U_{P1}$, T_1 este blocat, iar T_2 ar putea conduce (dacă ar avea pe unde);
- $U_{P1} < u_i < V_{DD} - U_{P2}$, ambele tranzistoare conduc și curentul de conducție simultană (cu ieșirea în gol) este $i_{T1,T2} = \min\{i_{D1}, i_{D2}\}$
- $V_{DD} - U_{P2} < u_i < V_{DD}$, T_2 este blocat, iar T_1 ar putea să conducă (dacă ar avea pe unde).

Pentru a evita regiunea de conducție simultană, V_{DD} se alege astfel încât să respecte condiția: $V_{DD} \geq U_{P1} + |U_{P2}|$. Deoarece tensiunea de prag la seria 4000 este $U_{P1} = -U_{P2} = 1,5 \text{ V}$, rezultă $V_{DDmin} = 3 \text{ V}$. În cazul în care $V_{DD} \leq U_{P1} + |U_{P2}|$, inversorul va prezenta o caracteristică de transfer cu histereză [Ardeleanu]. Considerând $V_{DD} \geq U_{P1} + |U_{P2}|$ se va analiza funcționarea inversorului CMOS.

Considerând **A = 0 logic**, adică $u_i = U_{iL} = 0$, rezultă că T_1 este blocat, iar T_2 conduce. Tensiunea de ieșire este $u_o = U_{oH} = V_{DD}$. Ieșirea Y este în 1 logic.

Dacă **A = 1 logic**, $u_i = U_{iH} = V_{DD}$, T_1 conduce ($u_{1GS} = V_{DD}$), T_2 este blocat ($u_{2GS} = u_i - V_{DD} = 0$), de unde rezultă că $u_o = 0 \text{ V}$, ieșirea Y fiind în 0 logic.

În concluzie, circuitul **funcționează ca inversor**. Puterea consumată în regim static are valoare foarte mică corespunzătoare curentului rezidual al tranzistorului blocat ($10 \mu\text{W}$ – pentru un circuit la care poarta este realizată dintr-un strat de Al, respectiv de $1 \mu\text{W}$ – pentru poartă din Si).

Caracteristica de transfer (figura 4.6) depinde de tensiunea de alimentare V_{DD} și se reprezintă pentru o anumită valoare a acesteia.

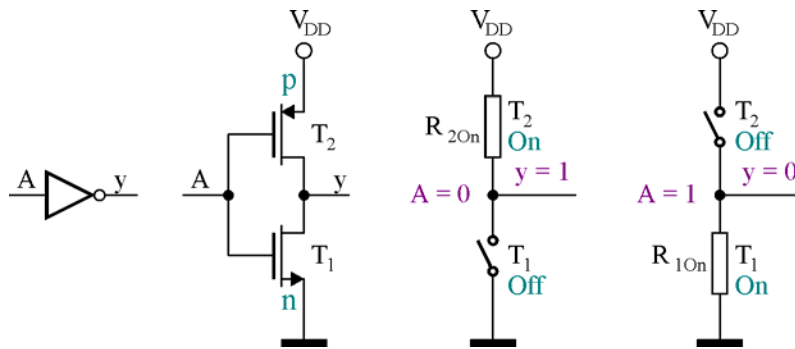


Figura 4.5. Funcționarea inversorului CMOS în regim static.

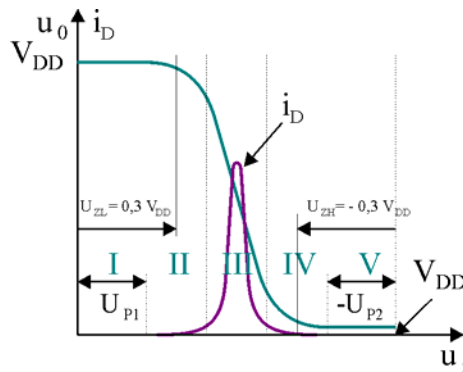


Figura 4.6. Caracteristica de transfer a inversorului CMOS.

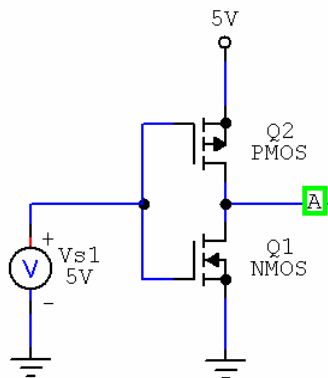


Figura 4.7. Inversorul CMOS – schema de simulare CircuitMaker.

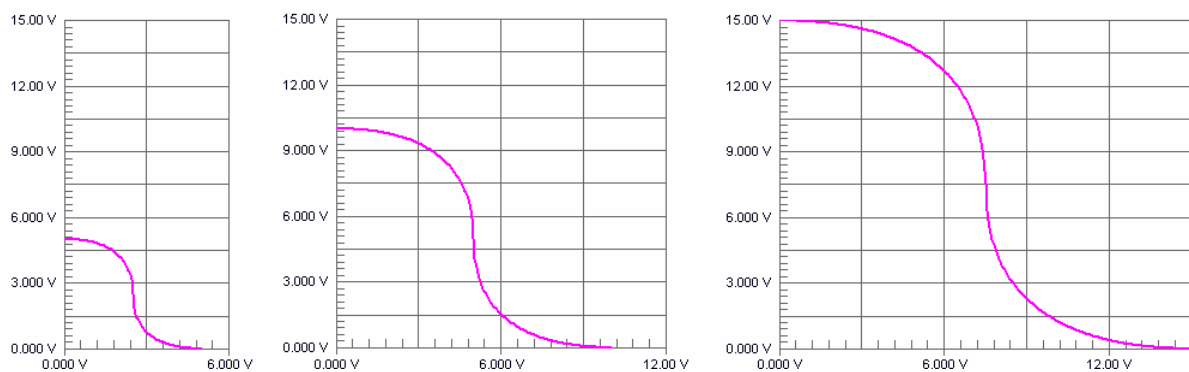


Figura 4.8. Simularea CircuitMaker a caracteristici de transfer a inversorului CMOS.

4.2.2. Analiza funcționării în regim dinamic

Comportarea dinamică este determinată de constantele de timp $C_p R_{ON1}$ și $C_p R_{ON2}$.

- Pentru tranziția ieșirii din starea SUS în starea JOS, T_1 intră în conducție și C_p se va descărca pe R_{ON1} .
- Pentru tranziția ieșirii din starea JOS în starea SUS, T_2 intră în conducție, C_p se încarcă prin R_{ON2} în aproximativ aceeași durată.

Deși tranzistorul MOS comută mai rapid decât cel bipolar, din cauza capacității parazite C_p relativ mari aferente seriei 4000, timpul de propagare t_p este relativ mare. Expresia C_p ține cont de capacitatea intrinsecă de ieșire a inversorului (C_0), de capacitatea traseelor conductoare (C_{con}) și de capacitatea parazită a tuturor intrărilor porților conectate la ieșire:

$$C_p = C_o + C_{con} + \sum_1^n C_i ;$$

Timpii de propagare tipici obținuți pentru seria 4000 sunt:

- $t_p = 60$ ns (pentru poarta din Al),
- $t_p = 40$ ns (pentru poarta din Si).

4.2.3. Puterea consumată în regim dinamic

Puterea totală disipată de inversorul CMOS este formată din puterea disipată în regim static P_{st} și cea în regim dinamic P_d . Dacă sarcina inversorului este un alt circuit CMOS, P_{st} are valori extrem de mici și este neglijabilă.

Puterea disipată în regim dinamic are două componente: $P_d = P_{d1} + P_{d2}$.

- P_{d1} este puterea consumată datorită condiției simultane a tranzistoarelor într-un interval relativ scurt de timp;
- P_{d2} este puterea consumată datorită încărcării repetate a capacității parazite de la ieșirea circuitului.

Pentru P_{d1} se poate scrie:

$$P_{d1} = \frac{1}{T} \int_0^{t_f} 2V_{DD} i_{T1,T2} dt = 2fV_{DD} \int_0^{t_f} i_{T1,T2} dt;$$

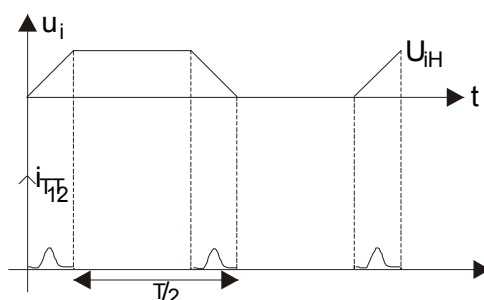


Figura 4.9. Curentul de conducție simultană i_{T1T2} .

Reducerea P_{d1} implică micșorarea tensiunii de alimentare V_{DD} și a duratei fronturilor t_f . Pentru $t_f < 100$ ns, P_{d1} este *neglijabilă* față de P_{d2} . Graficul din figura 4.10 ilustrează această dependență la diferite tensiuni de alimentare V_{DD} .

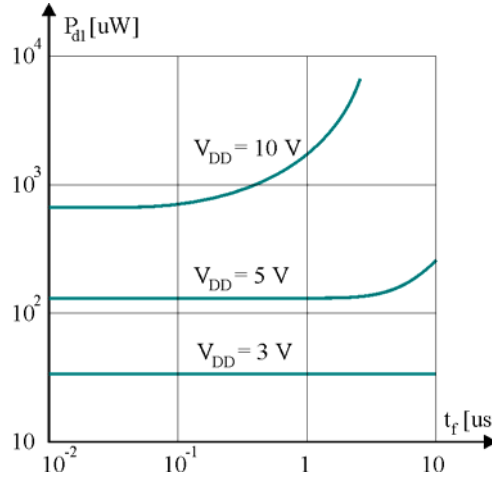


Figura 4.10. Dependența P_{d1} de durata fronturilor, în funcție de tensiunea de alimentare V_{DD} .

Pentru calculul P_{d2} , trebuie avut în vedere că în fiecare perioadă, la tranziția din starea JOS în starea SUS, are loc încărcarea C_p , energia necesară încărcării fiind:

$$W_{C_p} = \frac{C_p V_{DD}^2}{2}$$

Încărcarea se face prin R_{20N} , energia disipată pe aceasta rezistență fiind exprimată prin următoarea

integrală: $W_{R_{20N}} = \int_0^\infty i_{Cp}^2 R_{20N} dt$, unde $i_{Cp} = \frac{V_{DD}}{R_{20N}} \cdot e^{-\frac{t}{R_{20N} C_p}}$, de unde rezultă:

$$W_{R_{20N}} = \int_0^\infty \frac{V_{DD}^2}{R_{20N}^2} \cdot e^{-\frac{2t}{R_{20N} C_p}} \cdot R_{20N} dt = -\frac{V_{DD}^2}{R_{20N}} \frac{R_{20N} C_p}{2} [e^{-\frac{2t}{R_{20N} C_p}}]_0^\infty = \frac{C_p V_{DD}^2}{2}$$

Energia absorbită pentru fiecare perioadă este $W_{din} = \frac{C_p V_{DD}^2}{2}$ și deoarece $P_{d2} = 2 f W_{din}$, rezultă:

$$P_{d2} = f C_p V_{DD}^2 \quad (4.1)$$

În foile de catalog se specifică de obicei capacitatea de calcul a puterii dinamice cu ieșirea în gol C_{p0} .

$P_{d2} = f C_p V_{DD}^2$; $C_p = C_0 + C_{con} + \sum_{k=1}^N C_{ik}$, unde C_0 se găsește în catalog, C_{con} reprezintă capacitatea conexiunilor și C_{ik} este dat în catalog pentru fiecare intrare (valorile tipice fiind cuprinse între 5 și 15 pF).

4.3. ALTE CIRCUITE ELEMENTARE DIN FAMILIA CMOS

4.3.1. Circuitul ȘI-NU

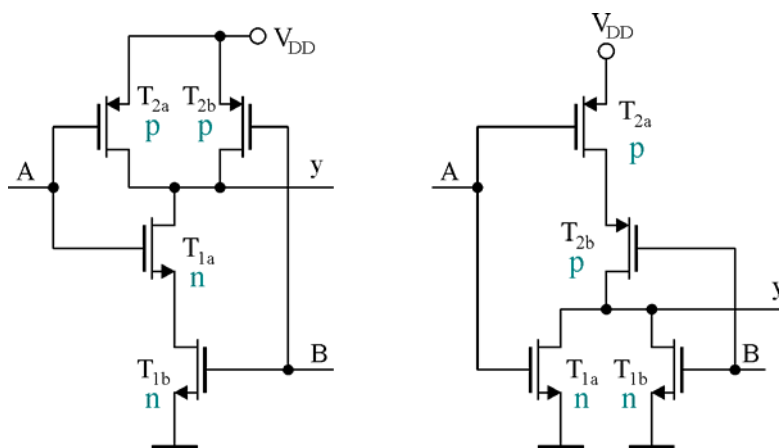


Figura 4.11. Circuitul ȘI-NU și circuitul SAU-NU din seria CMOS.

În aceste scheme nu s-a mai reprezentat circuitul de protecție rezistență-diodă, deoarece ele nu au nici un rol în funcționarea normală a circuitului.

Tabelul 4.1

Funcționarea porții ȘI-NU CMOS

A	B	T_{1a}	T_{1b}	T_{2a}	T_{2b}	Y
0	0	blocat	blocat	conduce	conduce	1
0	1	blocat	conduce	conduce	blocat	1
1	0	conduce	blocat	blocat	conduce	1
1	1	conduce	conduce	blocat	blocat	0

- Dacă $A = 0$, $B = 0$, T_{1A} , T_{1B} sunt blocate, iar T_{2A} , T_{2B} conduc. T_{2A} , T_{2B} pot fi comparate cu niște rezistențe relativ mici (zeci, sute Ω), ieșirea este SUS, $u_0 = V_{DD}$.
- Dacă $A = 0$ (1) și $B = 1$ (0), T_{1A} (T_{1B}) este blocat și T_{1B} (T_{1A}) ar putea conduce. Unul din tranzistoarele T_{2A} , T_{2B} conduce, deci și în acest caz ieșirea este SUS, $u_0 = V_{DD}$.
- Dacă $A=1$, $B=1$, T_{1A} , T_{1B} conduc, iar T_{2A} , T_{2B} sunt blocate, deci $u_0 = 0$.

4.3.2. Circuitul SAU-NU

Tabelul 4.2

Funcționarea porții SAU-NU CMOS

A	B	T_{1a}	T_{1b}	T_{2a}	T_{2b}	Y
0	0	blocat	blocat	conduce	conduce	1
0	1	blocat	conduce	conduce	blocat	0
1	0	conduce	blocat	blocat	conduce	0
1	1	conduce	conduce	blocat	blocat	0

- Dacă $A = 0$, $B = 0$, T_{1A} , T_{1B} sunt blocate, iar T_{2A} , T_{2B} conduc; ieșirea este SUS, $u_0 = V_{DD}$;
- Dacă $A = 1$ (0), $B = 0$ (1), unul din tranzistoarele T_1 este în conducție, iar unul dintre tranzistoarele T_2 este blocat, (iar celălalt ar putea conduce, dar nu are pe unde), deci ieșirea este legată la masă, $Y = 0$ logic;
- Dacă $A = 1$, $B = 1$, T_{1A} , T_{1B} conduc, iar T_{2A} , T_{2B} sunt blocate, ieșirea este și în acest caz legată la masă, $Y = 0$ logic.

Comparând cele două variante de circuite (ȘI-NU cu SAU-NU) din punct de vedere al ariei de siliciu ocupate: se preferă ca tranzistoarele conectate în serie să fie cu canal n , deoarece rezistența în conducție R_{ON} este mai mică (pentru cele cu canal p trebuie mărită aria de siliciu pentru a păstra același R_{ON}).

4.4. REGULI DE UTILIZARE A CIRCUITELOR CMOS

1. Nici o intrare a unui circuit logic CMOS nu se lasă flotantă, ci se conectează la un potențial bine stabilit: U_L sau U_H în funcție de tipul circuitului.
 - a. O posibilitate de conectare pentru porțile ȘI-NU, respectiv ȘI este polarizarea cu o tensiune V_{DD} , în acest caz rezistența R_p utilizată la circuitele TTL nu mai este necesară.
 - b. La circuitele SAU, respectiv SAU-NU polarizarea se realizează prin legare directă la masă (figura 4.11).
 - c. Intrările nefolosite se pot lega la alte intrări folosite (figura 4.12), cu dezavantajul legat de multiplicarea capacității de intrare C_i (crește proporțional și curentul de intrare, dar rămâne la o valoare neglijabilă).

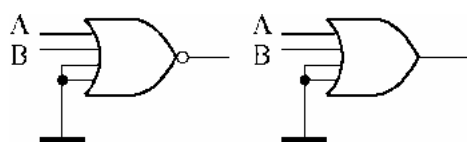


Figura 4.12. Pentru porțile SAU-NU, SAU, intrările nefolosite se conectează la masă sau U_L .

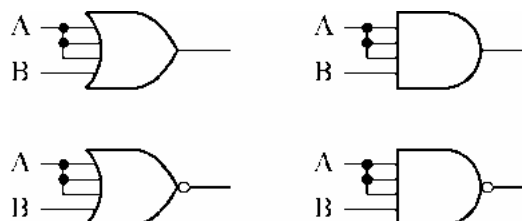


Figura 4.13. Indiferent de tipul porții, intrările nefolosite se pot lega la alte intrări.

2. Intrările *porților nefolosite* pot fi conectate ori la masă, ori la V_{DD} , puterea consumată fiind aceeași (neglijabilă).
3. Este interzisă interconectarea ieșirilor a două sau mai multe circuite logice, dacă există posibilitatea ca aceste ieșiri să ajungă la niveluri logice diferite. În figura 4.13 este prezentată o situație în care ieșirile pot fi interconectate – legând în paralel atât intrările cât și ieșirile unor porți din aceeași capsulă.

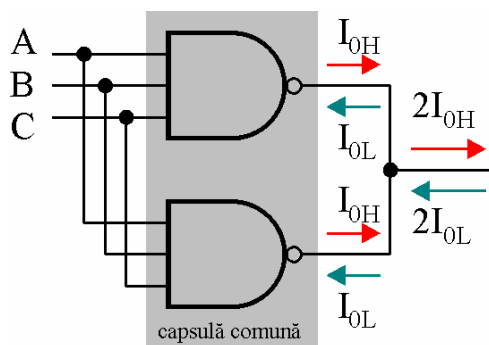


Figura 4.14. Posibilitate de interconectare a ieșirilor a două circuite CMOS.

4. Niciodată ieșirile circuitelor logice nu se conectează direct la masă sau V_{DD} .
5. Cerințele de decuplare ale circuitelor integrate CMOS sunt mult diminuate față de omoloagele TTL datorită consumului de curent mai redus. Un singur condensator de decuplare de 100 nF la fiecare rând de 10 – 15 circuite CMOS și un condensator electrolitic de 10 ... 100 μ F pentru întreaga placă sunt de obicei suficiente.
6. Dacă se interconectează două sau mai multe subcircuite CMOS care sunt alimentate de la surse diferite, respectiv comandate de la un generator de impulsuri, este necesară respectarea unei anumite succesiuni în conectarea surselor de alimentare, respectiv a generatorului de impulsuri.

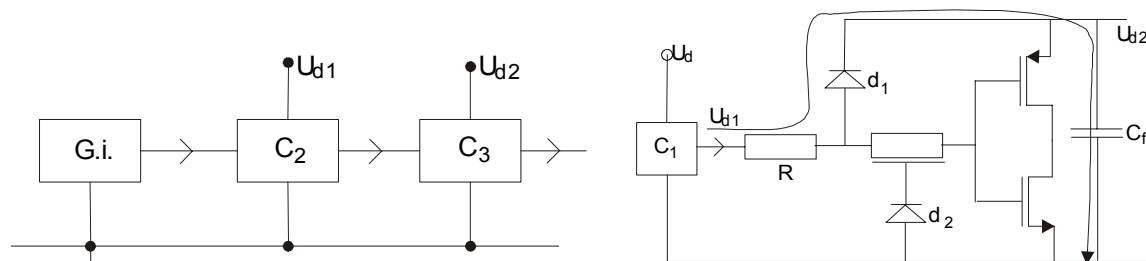


Figura 4.15. Secvența de alimentare / decuplare pentru echipamentele CMOS este strictă.

La conectare ordinea este: $V_{DD2} - V_{DD1} - GI$. La deconectare ordinea este inversă: $GI - V_{DD1} - V_{DD2}$. Dacă am conecta mai întâi V_{DD1} , iar V_{DD2} este neconectat, atunci valoarea lui: $C_f = 0$. Dacă după conectarea lui U_{d1} ieșirea lui C_f ajunge în starea H, apare un curent a cărui valoare e determinată doar de R_{0N2} și R . Se va ajunge la distrugerea diodei d_1 . Același lucru se întâmplă dacă apar impulsuri la intrarea lui C_f sau generatorul de impulsuri este conectat înainte de V_{DD1} .

7. Există cerințe speciale referitor la manipularea sau stocarea acestor circuite derivate din dorința de a minimiza efectele descărcărilor electrostatice (ESD – *electrostatic discharge*).

Toate circuitele electronice sunt susceptibile la distrugere datorită descărcărilor electrostatice. Corpul omenesc se poate ușor încărca electrostatic la potențiale de peste 30.000 V, prin simpla deplasare pe un covor, purtarea unui plover sau mângâierea unei pisici. Prin simpla atingere a unui circuit electronic sarcinile astfel stocate sunt în contact direct cu circuitul. Tranzistoarele și circuitele integrate CMOS sunt în primul rând sensibile la sarcini electrostatice datorită impedenței mari de intrare și a stratului subțire de dioxid de siliciu care se poate astfel ușor străpunge. Rezultatul străpunerii este ireversibil și circuitul sau dispozitivul este distrus.

Producătorii de dispozitive, circuite și echipamente electronice acordă problemelor ESD o atenție sporită. Chiar dacă marea majoritate a circuitelor MOS moderne au rețele de protecție formate din rezistoare și diode (asemănătoare celor din figura 4.3), următoarele măsuri de prevedere sunt general valabile:

- a. Circuitele integrate MOS se păstrează în țiple speciale antistatice, în folii de aluminiu sau materiale speciale conductoare. Aceasta conduce la egalizarea potențialelor tuturor pinilor și prin urmare nu pot apare tensiuni periculoase între pini.
- b. După extragerea circuitului din materialul antistatic, acesta se va monta imediat pe placa de circuit imprimat. Se va evita atingerea pinilor cu mâna.
- c. În echipament intrările nefolosite ale circuitelor MOS nu se lasă neconectate, deoarece acestea tind să acumuleze sarcini electrostatice.
- d. La transport conectorii plăcilor se scurtcircuitază, iar plăcile se transportă în folii antistatice conductoare. Se evită atingerea conectorilor cu mâna.

- e. La lipire operatorul folosește o brățară specială metalică legată la pământare prin intermediul unei rezistențe de $1\text{M}\Omega$ pentru a descărca eventualele sarcini electrostatice. Rezistența elimină riscul electrocutării dacă din accident sunt atinse puncte aflate la un potențial ridicat.
- f. Operatorul uman va purta un echipament adecvat (de exemplu o pereche de accesorii conductoare peste pantofi pentru a micșora rezistența de contact la pământ).
- g. Șasiul tuturor echipamentelor, vârful letconului sau stației de lipit se conectează la pământare pentru a preveni acumularea de sarcini electrostatice.

4.5. PARAMETRII CIRCUITELOR CMOS DIN SERIA 4000

Niveluri de tensiune garantate (pentru $V_{DD} = 5\text{ V}$)

$U_{iL\text{Max}} = 1,5\text{ V}$; $U_{oL\text{Max}} = 0,05\text{ V}$; $U_{iH\text{Max}} = 3,5\text{ V}$; $U_{oH\text{min}} = 4,95\text{ V}$. Aceste valori sunt utile pentru a putea determina marginea de zgomot.

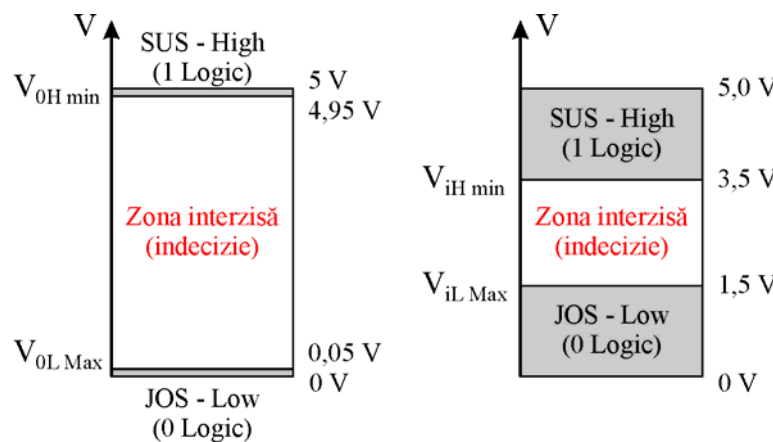


Figura 4.16. Niveluri de tensiune pentru seria CMOS 4000.

Tabelul 4.2

Nivelurile de tensiune pentru seria CMOS 4000, alimentare la 5 V

Tensiunea	min [V]	tipic [V]	maxim [V]
V_{OH}		4,95	
V_{OL}		0,05	
V_{IH}	$70\% V_{DD} = 3,5\text{ V}$		
V_{IL}			$70\% V_{DD} = 1,5\text{ V}$

Marginea de zgomot

În cazul circuitelor CMOS marginea de zgomot depinde de tensiunea de alimentare V_{DD} . Cu ΔU_{ZH} și ΔU_{ZL} se notează marginea de zgomot permisă când ieșirea se află în starea H, respectiv starea L.

Pentru ΔU_{ZH} se poate scrie (figura 4.16):

$$\Delta U_{ZH} = U_{iH\text{min}} - U_{oH\text{min}} = 3,5 - 4,95 = -1,45\text{ V} \approx 70\% \cdot V_{DD} - V_{DD} = 30\% \cdot V_{DD}$$

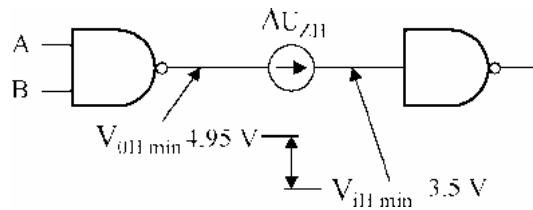


Figura 4.17. Determinarea marginii de zgomot în starea SUS.

Pentru ΔU_{ZL} se poate scrie (figura 4.17):

$$\Delta U_{ZL} = U_{iLMax} - U_{oLMax} = 1,5 - 0,05 = +1,45 \text{ V}$$

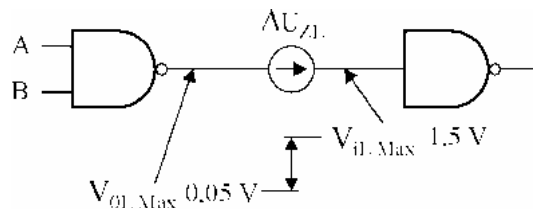


Figura 4.18. Determinarea marginii de zgomot în starea JOS.

Rezultă pentru marginea de zgomot a circuitelor CMOS: $\Delta U_Z \approx 30\% V_{DD}$, sau de 1,45 V în cazul particular al alimentării la 5 V. Trebuie subliniat că deși această valoare este mult mai mare decât cea de la circuitele TTL, în practică marginea de zgomot este și mai mare deoarece tensiunea de prag U_{Th} la care are loc comutarea ieșirii dintr-o stare în alta este cuprinsă între $0,45 V_{DD}$ și $0,55 V_{DD}$. Aceste valori conduc la o margine de zgomot practică (dar negarantată de producător) de $0,45 V_{DD} - 0,05 \text{ V} \approx 0,45 V_{DD}$, adică de 2,2 V în cazul alimentării la 5 V, valoarea foarte apropiată de cea ideală (2,5 V).

Curenții de intrare

$$I_{iLMax} = I_{iHMax} = 0 \text{ (0,1 ... 1 } \mu\text{A)}.$$

Factorul de bransament

Datorită valorii mici a curentului de intrare (sub 1 μA), valoarea factorului de bransament $N = N_L = N_H$ este foarte mare (pentru curenți maximi de ieșire de câțiva miliamperi). Cele mai multe circuite logice din familia CMOS se fabrică cu un curent de ieșire $I_0 = 3...4 \text{ mA}$, deci au factorul de bransament foarte mare în regim static. În practică factorul de bransament este limitat de valoarea C_p a cărei componentă principală este ΣC_i . Creșterea C_p duce la înrăutățirea comportamentului dinamic al circuitului ($C_i = 5 - 15 \text{ pF}$). În concluzie, factorul de bransament se limitează din cauza funcționării în regim dinamic la o valoare maximă de 50.

Curentul de alimentare

Curentul de alimentare în regim static este neglijabil (μA) iar în regim dinamic depinde de frecvență, C_p și V_{DD} (vezi relația 4.1).

Puterea disipată de o poartă CMOS

Puterea medie este specificată pentru un semnal dreptunghiular cu factor de umplere 50% aplicat la intrarea circuitului. P_D este specificată în foile de catalog ale diversilor producători. Studiind graficul din figura 4.18 se observă că la frecvențe de până la circa 1 MHz, un circuit CMOS disipă o putere mai mică decât unul TTL LS; peste această limită, mai avantajoase sunt circuitele LS.

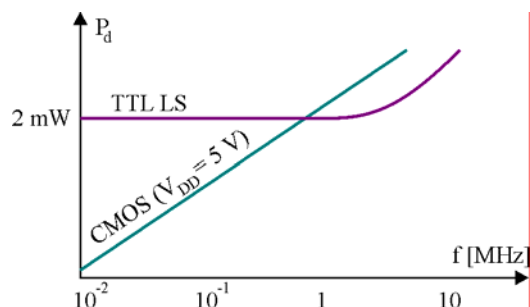


Figura 4.19. Comparație între puterea disipată de un circuit CMOS și unul TTL LS.

Timpul de propagare

Timpul de propagare (figura 4.20) se definește similar cu cel de la circuitele TTL. În acest caz $U_L = 0$ și $U_H = V_{DD}$. Punctele de măsură sunt specificate tot la 50% din nivelul U_H . În cazul seriei 4000, t_{pHL} și t_{pLH} sunt egale, iar $t_p = 40 \dots 100$ ns (depinde de tensiunea de alimentare, fabricant, etc).

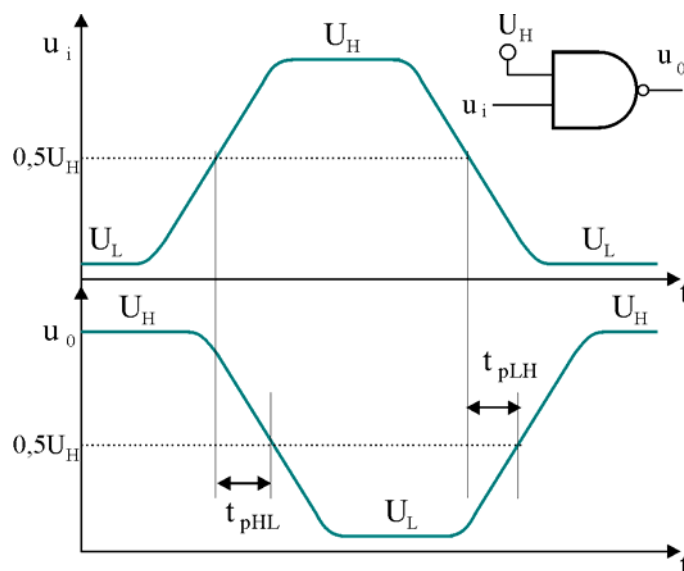


Figura 4.20. Definirea timpilor de propagare t_{pHL} și t_{pLH} și circuitul de măsură aferent.

Factorul de merit

Factorul de merit este dependent de frecvența de operare și are valori cuprinse între 0,1 pJ în regim static și 50 pJ la 10 MHz.

4.6. ALTE SERII DIN FAMILIA CMOS

Sunt realizate cu diferențe mici privind schema dar fabricate într-o tehnologie mai nouă care a permis reducerea dimensiunilor componentelor și a C_p , L_p conducând la obținerea unor performanțe superioare.

4.6.1. Seria CMOS rapidă 74HCxxx, 74HCTxxx

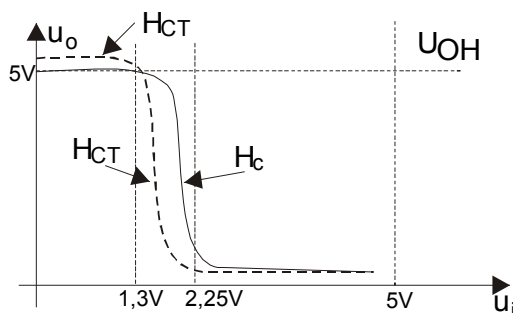
O singură serie, cu două variante, HC se alimentează de la 2~6V, iar HCT de la 4,5 la 5,5V. Varianta HC poate comanda circuite TTL dacă I_{OM} este suficient de mare (în funcție de numărul intrărilor comandate), dar nici un circuit din familia TTL nu poate comanda un circuit HC deoarece V_{OHTTL} nu este suficient de ridicat (sunt necesari minim 3,5 V). Aceasta deficiență se corectează cu varianta HCT, care are avantajul că poate comanda circuite TTL și datorită nivelurilor de tensiune de intrare TTL, orice circuit TTL poate comanda un circuit HCT. Această compatibilitate se asigură prin

reducerea pragurilor de deschidere a celor două tranzistoare complementare de la intrare. Curentul de ieșire al variantei HCT este de obicei mai mare decât la HC.

Parametrii ambelor variante:

$t_p=9\text{ns}$
 $I_{OM}=\pm 4\text{mA}$ (HC)
 $I_{OM}=\pm 6\text{mA}$ (HCT)
 $P_C=2,5\sim 5\mu\text{W/inversor}$

Caracteristica de transfer:



4.6.2. 74ACxxx, 74ACTxxx (seria performantă)

Caracteristica de transfer similară, parametri superiori:

$t_p=3\sim 4\text{ns}$ ($C_p = 15\text{pF}$)
 $I_{OM}=\pm 6\text{mA}$ (AC)
 $I_{OM}=\pm 24\text{mA}$ (ACT)
 $P_C=5\mu\text{W/inversor}$

Tabelul 4.3

Principalii parametri ai seriilor de circuite integrate CMOS

Parametru	Seria	4000	74...					
			HC	HCT	AC	ACT	AHC	AHCT
Parametri dinamici								
Timpul de propagare [ns]			7	7	5	5	3,7	3,7
Puterea disipată static [μ W]			2,75	2,75	0,55	0,55	2,75	2,75
Factorul de merit [pJ]								
Frecventa maxima de operare [MHz]			50	50	160	160	170	170
Niveluri de tensiune								
V_{0Hmin}		4,95	4,9	4,9	4,9	4,9	4,4	3,15
V_{0LMax}		0,05	0,1	0,1	0,1	0,1	0,44	0,1
V_{iHmin}		3,5	3,5	2,0	3,5	2,0	3,85	2,0
V_{iLMax}		1,5	1,0	0,8	1,5	0,8	1,65	0,8
Marginea de zgomot								
V_{0Hmin}								
V_{0Hmin}								
Curentul de ieșire								
I_{0HMax} [mA]								
I_{0LMax} [mA]			4	4	24	24	8	8

4.6.3. Seria BiCMOS

Este o combinație între tehnologia cu tranzistoare bipolare și tranzistoare MOS. Se folosesc în aplicații în care circuitele logice trebuie să furnizeze la ieșire curenți mari la o rezistență de ieșire cât mai mică. Servesc pentru comandarea magistrelor din circuitele integrate pe scara largă și foarte largă. Combină proprietățile tranzistoarelor MOS (rezistență de intrare foarte mare, curent de intrare redus, factor de branșament ridicat, putere disipată redusă, densitate de integrare mai mare) cu avantajele oferite de etajele de ieșire cu tranzistoare bipolare Schottky–TTL (curent de ieșire mare, rezistență de ieșire scăzută).

Se compară un inversor TTL cu unul BiCMOS

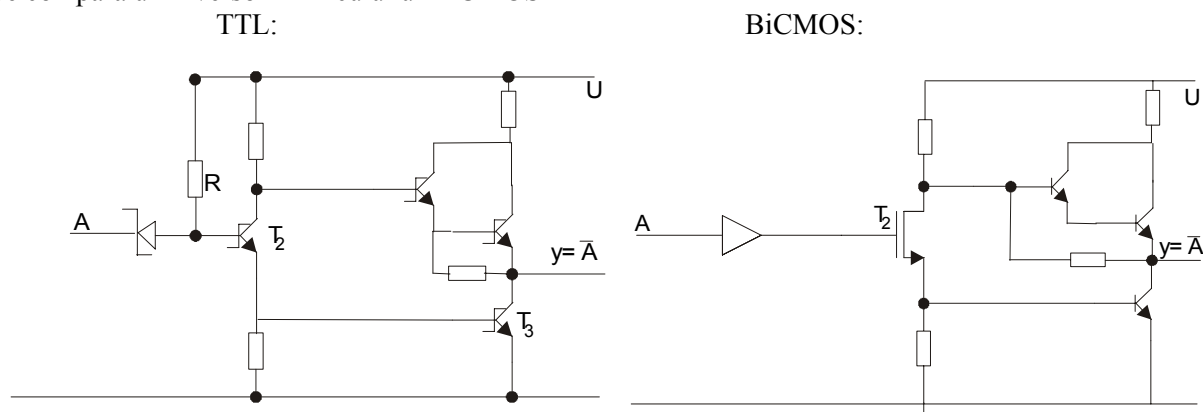


Figura 4.22. Inversor TTL LS și BICMOS.

Comparație: Atât pentru $Y = 0$ cât și pentru $Y = 1$ se elimină puterea disipată pe rezistența R . Densitatea de integrare este cuprinsă între cea a circuitelor TTL și cea a circuitelor CMOS (2, 3-ori mai mare decât la TTL).

Se fabrică și **ABT** (Advanced BiCMOS Tehnology) – circuite logice pentru comanda magistrelor.

4.6.4. Seriile de tensiune redusă (LV, LVT - low voltage)

S-au produs în anii '90 în scopul reducerii puterii absorbite în regim dinamic, mai ales pentru echipamentele portabile. În relația $P_d = P_{d1} + P_{d2}$ dacă $t_t < 100$ ns se poate neglija P_{d1} , deci

$P_d = f C_P V_{DD}^2$. Tensiunea de alimentare este $U_d = 2,7 \div 3,6$ V, tipic $U_{dn} = 3,3$ V.

Dacă tensiunea de alimentare scade, atunci scad nivelurile logice, crește rezistența R_{0N} a tranzistorului. Pentru a compensa creșterea rezistenței R_{0N} se reduc tensiunile de prag ale tranzistoarelor MOS folosite.

ACRONIM	TEHNOLOGIA FOLOSITĂ	t_p	Observatii
74LVxxx	CMOS; $2\mu m$	9ns	$U_{dn} = 3,3$ V
74LVCxxx	CMOS; $0,8\mu m$	4ns	$U_{dn} = 3,3$ V (5V)
74ALVCxxx	CMOS; $0,8\mu m$	3ns	$U_{dn} = 3,3$ V; 2,5V
74LVTxxx	BiCMOS; $0,8\mu m$	2,4ns	$U_{dn} = 5$ V; $I_{OHM} = 32$ mA; $I_{OLM} = 64$ mA

Tabelul 4.3

Principalii parametri ai seriilor de circuite integrate CMOS de joasă tensiune și BiCMOS

Parametru	Seria	LV	ALVC	AVC	ALVT	ALB
Parametri dinamici						
Timpul de propagare [ns]		18	3	1,9	3,5	2
Puterea disipată [mW]						
Factorul de merit [pJ]						
Frecvența maximă de operare [MHz]						
Niveluri de tensiune						
V_{DD}		2,7-3,6	2,3-3,6	1,65-3,6	2,3-2,7	3-3,6
V_{OHmin}						
V_{OLMax}						
V_{iHmin}		3,5	2,0	3,5	2,0	3,85
V_{IL}		0,8	0,8	0,7	0,8	0,6
Curentul de ieșire						
$I_{OLMax} = I_{OHMax}$ [mA]		6	12	8	32	25

4.7. POARTA DE TRANSMISIE

Poarta de transmisie (numită și de transfer) este un circuit specific tehnologiei CMOS, neavând un echivalent TTL. Rolul acestei porți este de întrerupător (comandat digital) atât pentru semnale analogice cât și pentru semnale numerice. Dacă intrarea de control este în 1 logic, întrerupătorul este închis. Dacă $Cntl = 0$, atunci întrerupătorul este deschis.

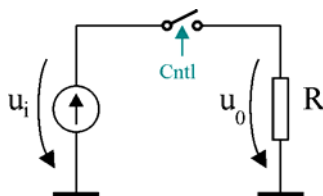


Figura 4.23. Funcționarea simplificată a porții de transmisie CMOS.

Schema electrică simplificată a porții de transmisie este prezentată în figura 4.24. T_1 este un tranzistor MOS cu canal n care are substratul conectat la masa sursei de alimentare (sau la un potențial negativ V_{SS}), iar T_2 este cu canal p și are substratul conectat la V_{DD} . Circuitul se realizează simetric, ceea ce dă posibilitatea permutabilității intrării In cu ieșirea Out, de aceea uneori aceste terminale se mai notează cu In/Out, respectiv Out/In.

Rezistența electrică dintre intrare și ieșire depinde de starea de conducție sau blocare a celor două tranzistoare, fiind cuprinsă între R_{ON} câteva zeci de ohmi pentru $Cntl = 1$ (comutator închis), respectiv R_{OFF} minim zeci de megaohmi pentru $Cntl = 0$ (comutator deschis).

Pentru o funcționare corectă este necesar ca rezistența de sarcină conectată la ieșire să fie mult mai mică decât R_{OFF} și mult mai mare decât R_{ON} : $R_{ON} \ll R_S \ll R_{OFF}$.

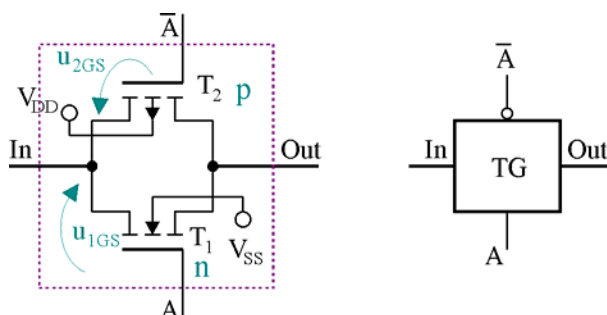


Figura 4.24. Schema electrică a porții de transmisie CMOS.

Pentru început se va considera cazul alimentării asimetrice, cu $V_{SS} = \text{Gnd}$. Analiza funcționării se realizează pentru variația u_i și $Cntl$ luând cele două valori posibile. Tensiunile grilă-sursă pentru cele două tranzistoare sunt: $u_{1GS} = V_{DD} - u_i$ și $u_{2GS} = V_{SS} - u_i = -u_i$

- Cazul A = 1 logic.** T_1 conduce pentru valori negative ale u_i și pentru $u_i < V_{DD} - U_{P1}$, iar T_2 conduce pentru $u_i > |U_{P2}|$, unde $|U_{P2}|$ reprezintă tensiunea de prag. Curentul este $i_i = i_{d1} + i_{d2}$
- Cazul A = 0 logic.** T_1 conduce pentru $u_i < -U_{P1}$, iar T_2 conduce pentru $u_i > V_{DD} + |U_{P2}|$.

În concluzie ambele tranzistoare **sunt blocate** pentru $-U_{P1} < u_i < V_{DD} + |U_{P2}|$.

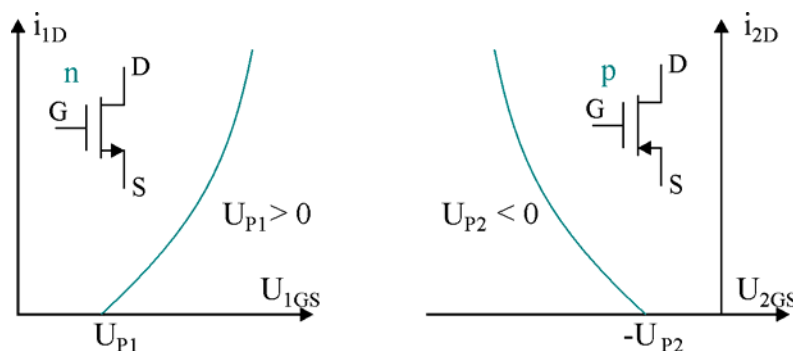


Figura 4.25. Caracteristica de transfer a tranzistoarelor MOS din poarta de transmisie CMOS.

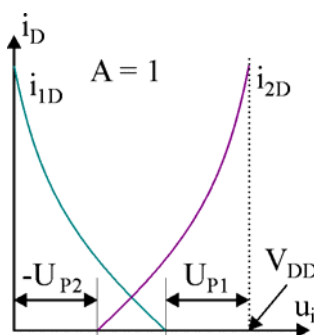


Figura 4.26. Caracteristica de transfer combinată a tranzistoarelor MOS din poarta de transmisie.

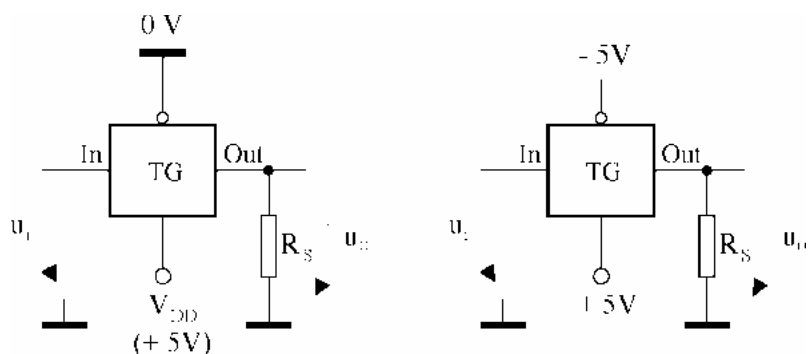


Figura 4.27. Comanda tranzistoarelor din poarta de transmisie.

Circuitul 4016 (figura 4.28) este format din patru porți de transmisie, fiecare dintre ele având structura din figura 4.24. Alimentat la $V_{DD} = 5\text{ V}$ și $V_{SS} = 0\text{ V}$, circuitul poate multiplexa tensiuni analogice între $0,5\text{ V}$ și $V_{DD} - 0,5\text{ V}$, adică între $0,5$ și $4,5\text{ V}$, în condițiile în care comanda se realizează la niveluri de tensiune CMOS. Pentru a putea multiplexa tensiuni alternative, circuitul trebuie alimentat la $V_{DD} = 5\text{ V}$ și $V_{SS} = -5\text{ V}$, ceea ce nu reprezintă o problemă deosebită. Mai complicată este însă comanda terminalului Cntl, care în acest caz este 1 logic pentru 5 V și 0 logic pentru -5 V , fiind necesară o translație a nivelului de tensiune continuă. Deși există circuite integrate CMOS care realizează această deplasare de nivel (de exemplu 4054), în acest caz este mai eficientă utilizarea unui circuit integrat de tip 4316 care înglobează și etajul de deplasare de nivel de tensiune (figura 4.30).

În figura 4.20 este prezentată comanda unei porți de transfer alimentată asimetric cu un semnal sinusoidal la care este adăugată o componentă continuă.

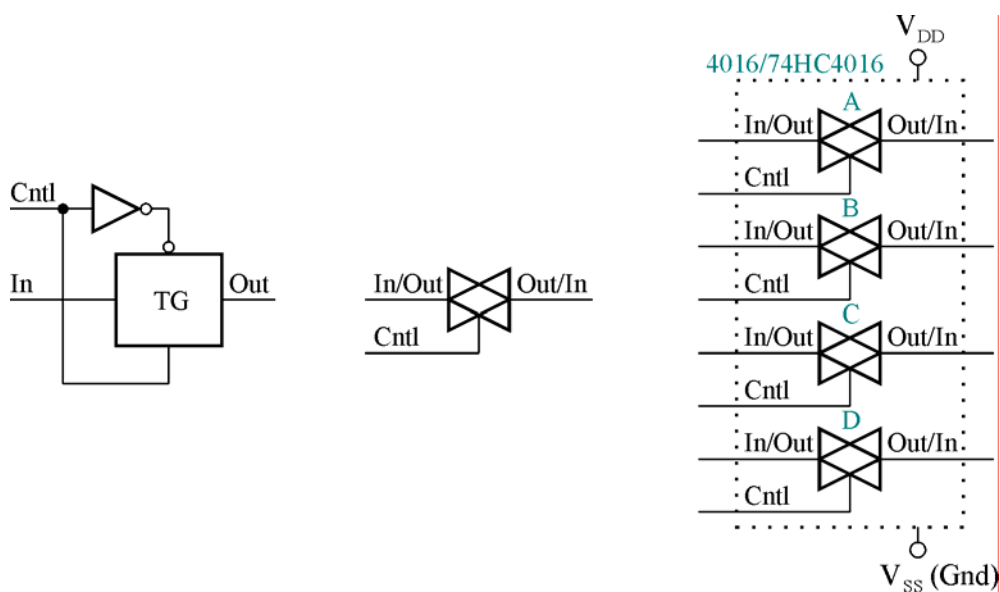


Figura 4.28. Comutatorul bilateral cvadruplu 4016 (74HC4016).

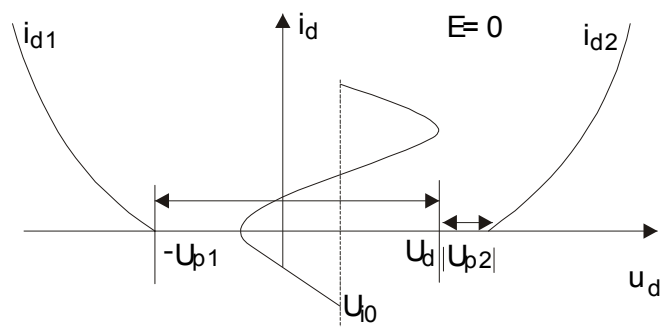


Figura 4.29. Aplicarea unei tensiuni sinusoidale cu o componentă continuă.

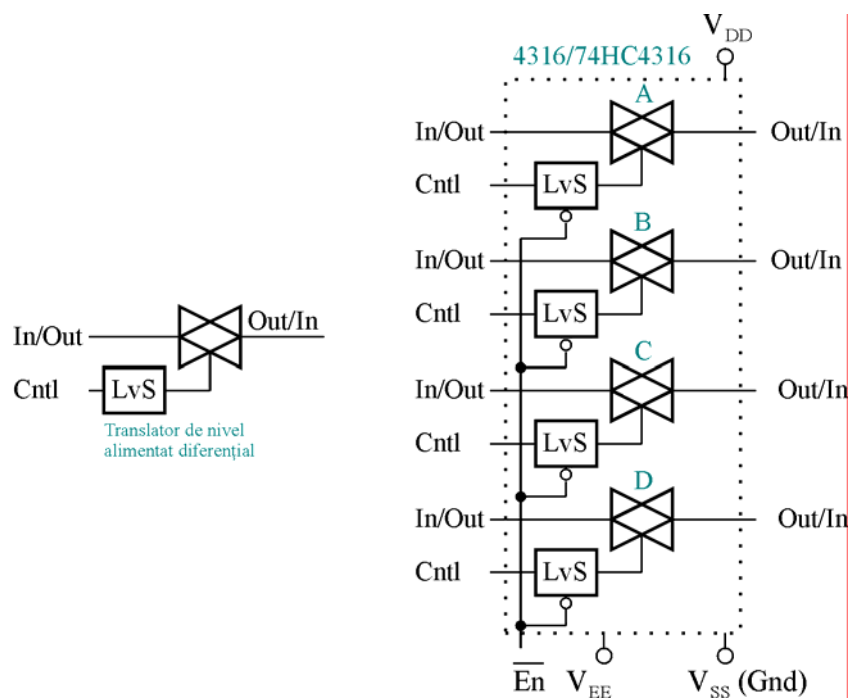


Figura 4.30. Comutatorul bilateral diferențial cvadruplu 4316 (74HC4316).

4.7.1. Aplicații ale porții de transmisie

1. Demultiplexoare analogice

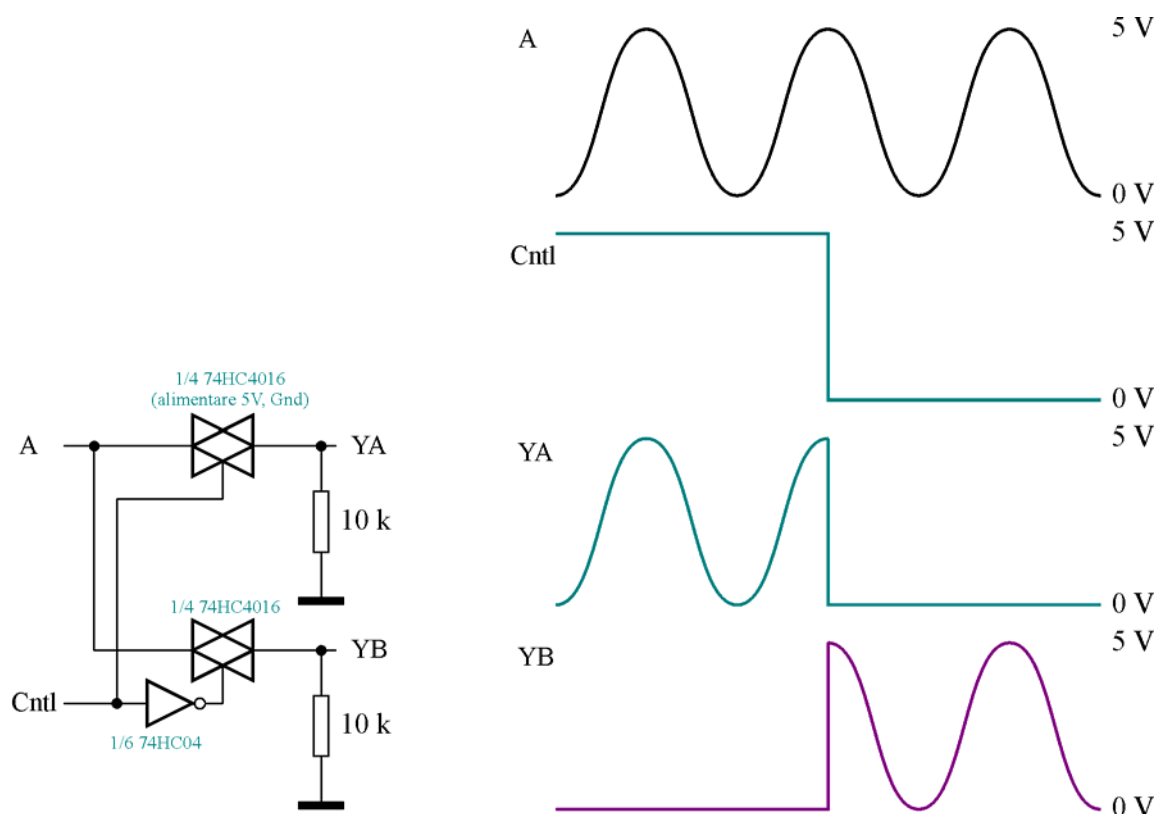


Figura 4.31. Demultiplexor analogic cu 4016 (tensiuni pozitive).

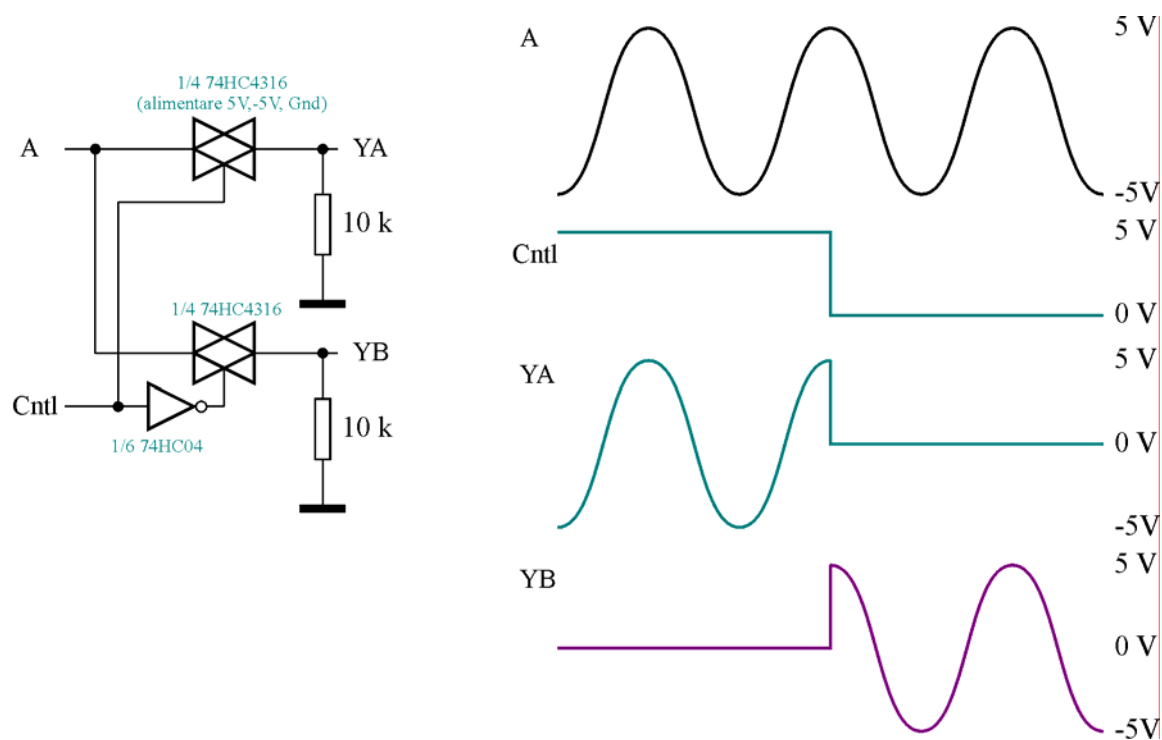


Figura 4.32. Demultiplexor analogic cu 4316 (tensiuni alternative).

2. Amplificator cu câștig controlat digital [Ardeleanu, 257].

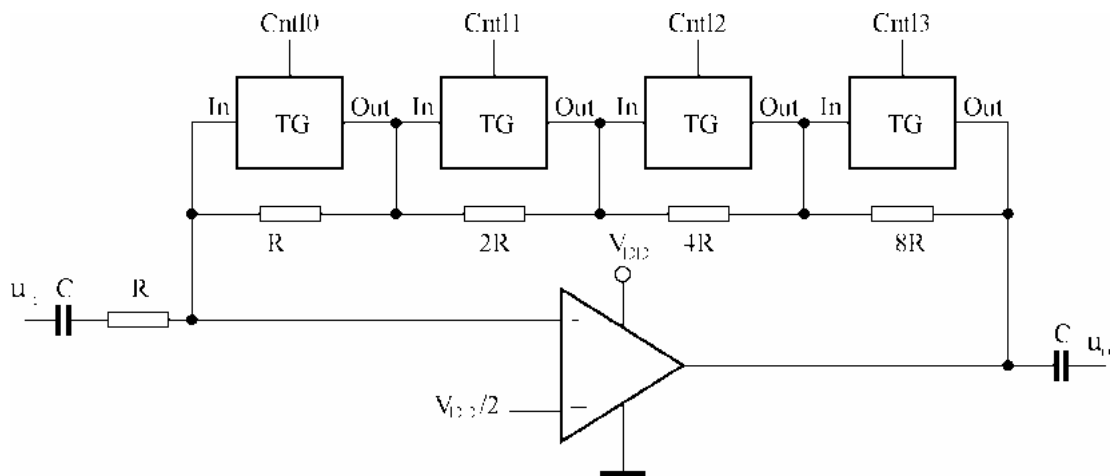


Figura 4.33. Amplificator cu câștig controlat digital).

4.7.2. Poarta SAU-EXCLUSIV

Pentru a realiza funcția SAU-EXCLUSIV pe poate recurge la schema din figura 2.25, care ar corespunde la 16 tranzistoare MOS. O rezolvare utilizând o poartă de transfer este prezentată în figura 4.35, ea fiind utilizată în circuitele CMOS 4030.

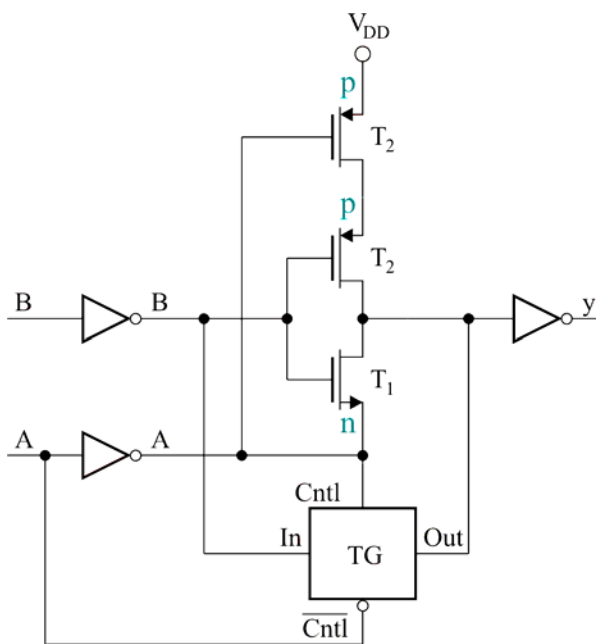


Figura 4.35. Poarta SAU-EXCLUSIV CMOS, schema bloc.

Când $A = 0$, tranzistoarele T_1 , T_2 și T_3 sunt blocate iar poarta de transmisie este în conducție, ieșirea y fiind egală cu B dublu negat. Când $A = 1$, poarta de transmisie este blocată, T_3 este în conducție, T_1 și T_2 funcționează ca un inversor standard (sursa lui T_1 este conectată la $\bar{A} = 0$) iar $y = \bar{B}$ (tabelul 4.x). Implementarea cu 4 porți ȘI-NU ar fi necesitat 16 tranzistoare și un timp de propagare mai ridicat.

Funcționarea porții SAU-EXCLUSIV

A	B	PT	T_3	T_2	T_1	y	Y
0	0	ON	OFF	OFF	OFF	\overline{B}	0
0	1	ON	OFF	OFF	OFF	\overline{B}	1
1	0	OFF	ON	ON	ON	\overline{B}	1
1	1	OFF	ON	OFF	ON	\overline{B}	0

4.7.3. Multiplexorul analogic

În tehnologie CMOS se fabrică trei tipuri de multiplexoare analogice:

- 4051, multiplexor analogic cu 8 intrări;
- 4052, 2 multiplexoare analogice cu câte 4 intrări;
- 4053, 3 multiplexoare analogice cu câte 2 intrări.

Fiecare variantă de multiplexor conține un etaj de translatare a nivelului tensiunii de comandă, acceptând niveluri de tensiune CMOS pe pinii de control, pentru tensiuni analogice pe pinii I/O pozitive și sau negative. Aceste circuite au trei pini de alimentare: V_{DD} – tensiunea standard pozitivă de alimentare, V_{SS} – masa și V_{EE} – tensiunea negativă de alimentare. De exemplu pentru $V_{DD} = 5\text{ V}$ și $V_{SS} = -5\text{ V}$, se pot multiplexa tensiuni analogice de maxim $\pm 4,5\text{ V}$, comanda fiind realizată cu niveluri CMOS (0 și 5 V).

Deoarece conducția prin poarta de transfer este bilaterală, oricare dintre aceste circuite poate funcționa atât ca multiplexor analogic, cât și ca demultiplexor analogic. Intrările de control A, B și C selectează poarta de transfer activă.

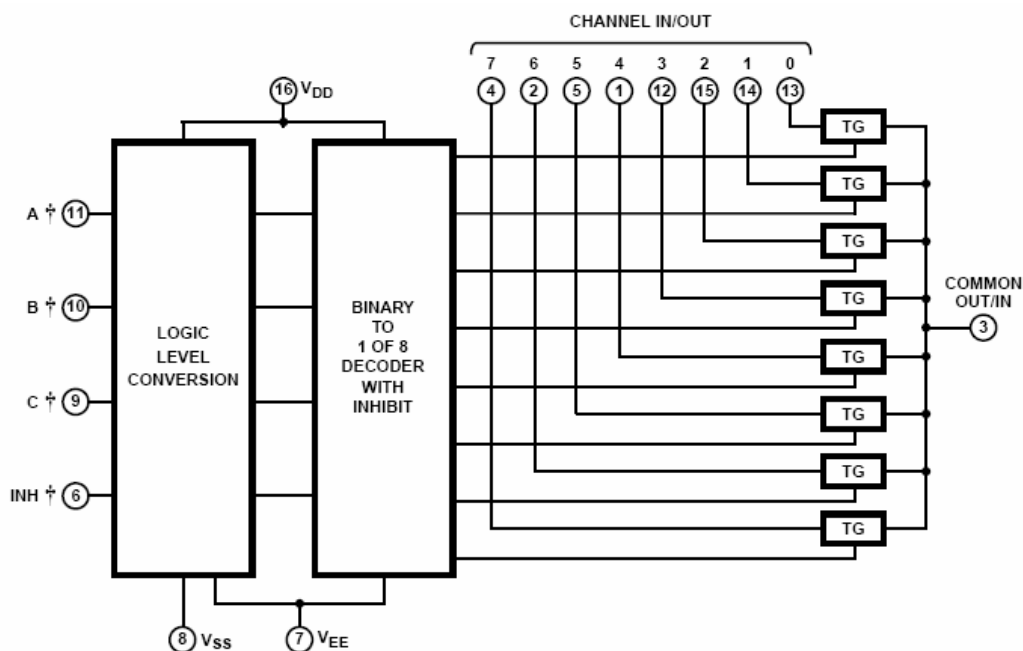


Figura 4.36. Multiplexorul CMOS 4051, schemă bloc conform foii de catalog.

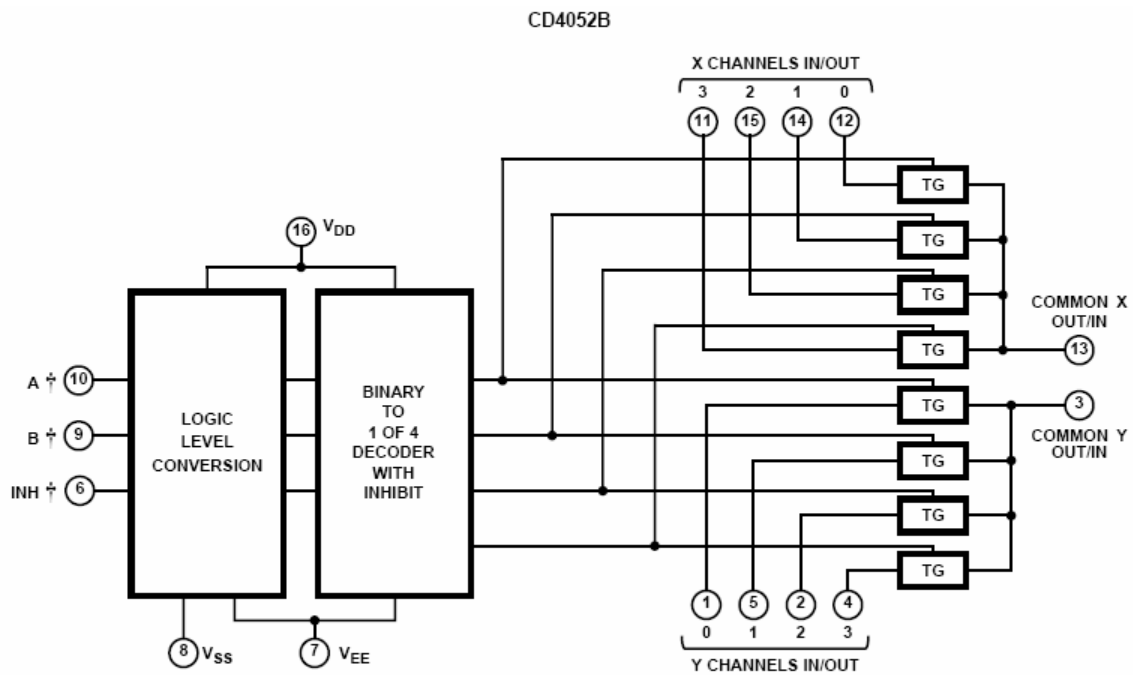


Figura 4.37. Multiplexorul CMOS 4052, schemă bloc conform foii de catalog.

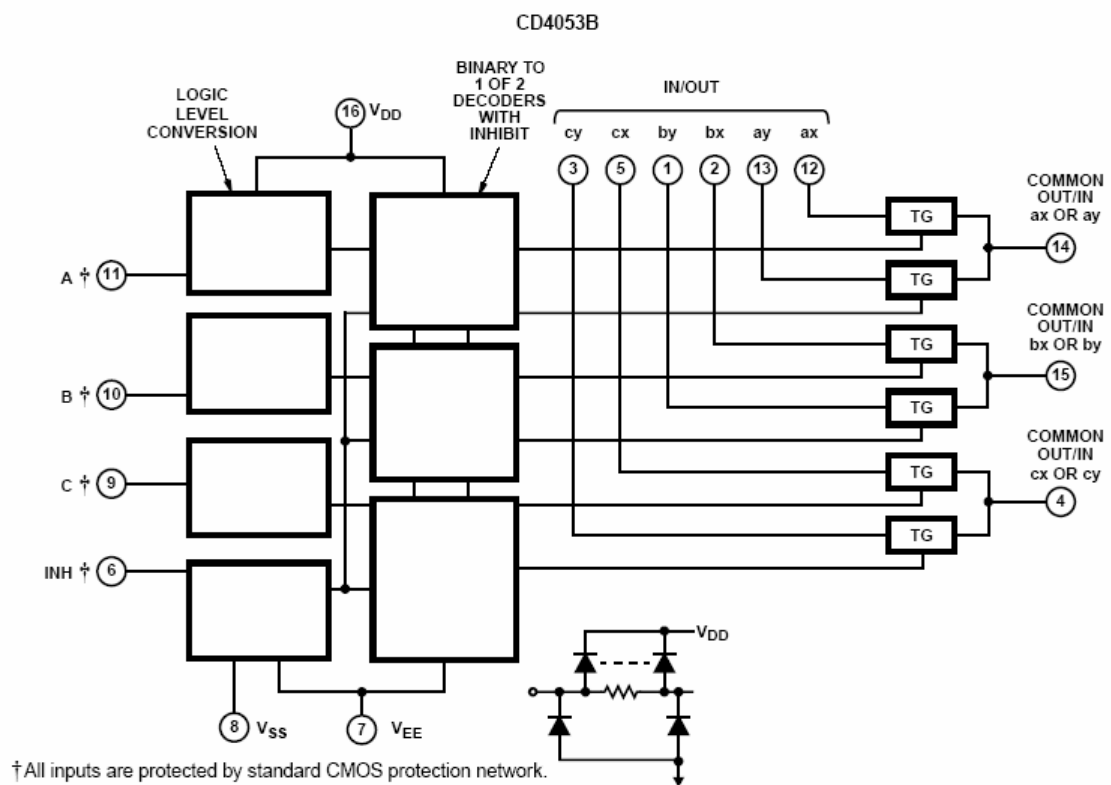


Figura 4.38. Multiplexorul CMOS 4053, schemă bloc conform foii de catalog.

4.7.4. Aplicații ale multiplexorului analogic

1. Rețea de condensatoare controlată digital Ardeleanu 257

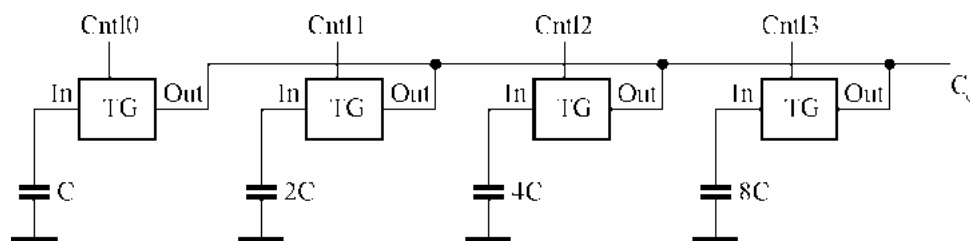


Figura 4.39. Rețea de condensatoare controlată digital.

2. Generator de curent programabil digital Ardeleanu 265

Figura 4.40. Generator de curent programabil digital.

3. Amplificatoare cu câștig controlat digital Ardeleanu 268

Figura 4.41. Amplificator neinversor cu câștigul controlat digital.

Figura 4.42. Amplificator inversor cu câștigul controlat digital.

4. Amplificator cu polaritatea controlată digital Ardeleanu 269

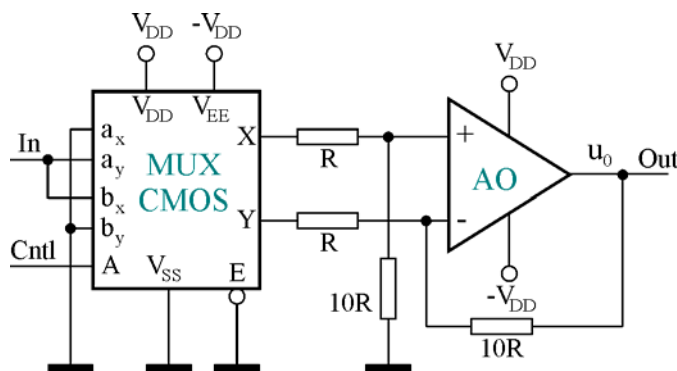


Figura 4.43. Amplificator cu polaritatea controlată digital.

4.8. CIRCUITE CMOS CU TREI STĂRI

Dezvoltate inițial în tehnologia TTL, circuitele cu trei stări din familia CMOS se pot realiza în mai multe variante de implementare, care vor fi analizate pe rând în continuare.

- Folosind *tranzistoare de izolare* pentru trecerea în starea de impedanță ridicată, HiZ;
- folosind *o poartă de transmisie* între ieșire și sarcină;
- folosind un inversor CMOS și circuite logice suplimentare pentru asigurarea blocării ambelor tranzistoare din etajul de ieșire;

a. Prima variantă (figura 4.44).

Cazul $nEN = 0$: T_{iz2} , T_{iz1} conduc. Suntem în starea N (normală) de funcționare.

$A = 0 \Rightarrow Y = 1$

$A = 1 \Rightarrow Y = 0$

Cazul $nEN = 1$: T_{iz2} , T_{iz1} blocate. Circuitul se află în starea de înaltă impedanță HiZ.

Dezavantaj: În starea normală rezistențelor R_{ON1} și R_{ON2} li se adaugă R_{ONiz} a tranzistoarelor de izolație. Capacitatea parazită nu se mai încarcă numai prin rezistența R_{ON} . Durata tranziției, a încărcării și descărcării capacității parazite crește datorită constantei de timp $(R_{ON2} + R_{ONiz2})C_P$. Frecvența maximă de lucru este mai mică, iar aria de Si mai mare.

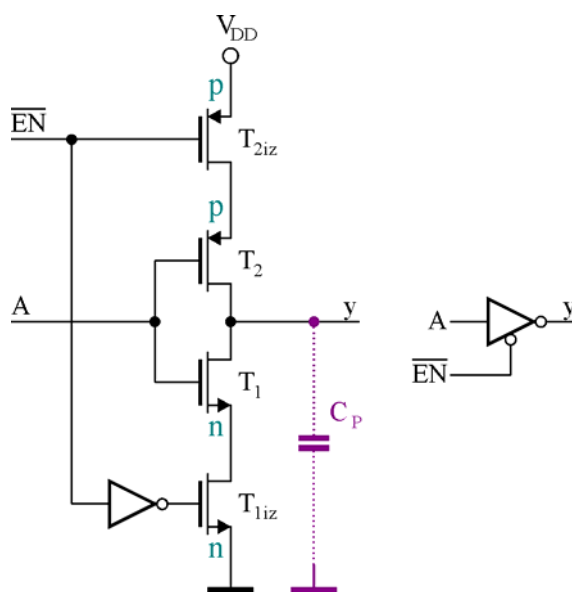


Figura 4.44. Inversor CMOS trei stări – schemă (varianta I) și simbol.

b. Conectarea la ieșirea unui circuit normal a unei porți de transmisie (figura 4.45).

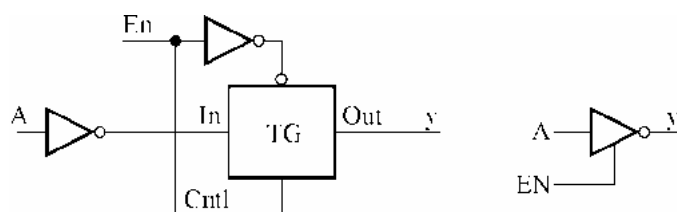


Figura 4.45. Circuit CMOS trei stări – schemă (varianta II).

$EN = 1 \Rightarrow Y = \bar{A}$, $EN = 0 \Rightarrow Y \rightarrow Z$

c. Utilizarea unui circuit logic suplimentar pentru blocarea ambelor tranzistoare de la ieșire, atunci când ieșirea se află în starea Z (figura 4.46).

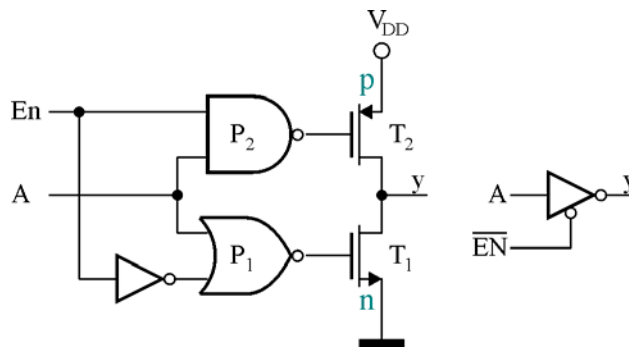


Figura 4.46. Inversor CMOS trei stări – schemă (varianta III).

Pentru $EN = 1$ atât P_1 , cât și P_2 funcționează ca inversoare;

Dacă $A = 1$ T_2 conduce și T_1 blocat $Y = 1$.

Dacă $A = 0$ T_1 conduce și T_2 blocat $Y = 0$

Pentru $EN=0$: poarta P_1 are ieșirea în permanență pe 1, indiferent de valoarea lui A . Una dintre intrările lui P_2 este pe 1 \Rightarrow ieșirea este pe 0. Deci T_2 și T_1 vor fi blocate. Circuitul este în starea Z.

Se fabrică circuite cu 3 stări pentru toate seriile CMOS. De cele mai multe ori circuitele cu 3 stări sunt inversoare, neinversoare, mai rar ȘI-NU sau SAU-NU.

4.9. TENDINȚE ÎN STRUCTURAREA FAMILIILOR DE CIRCUITE LOGICE

Product Life Cycle

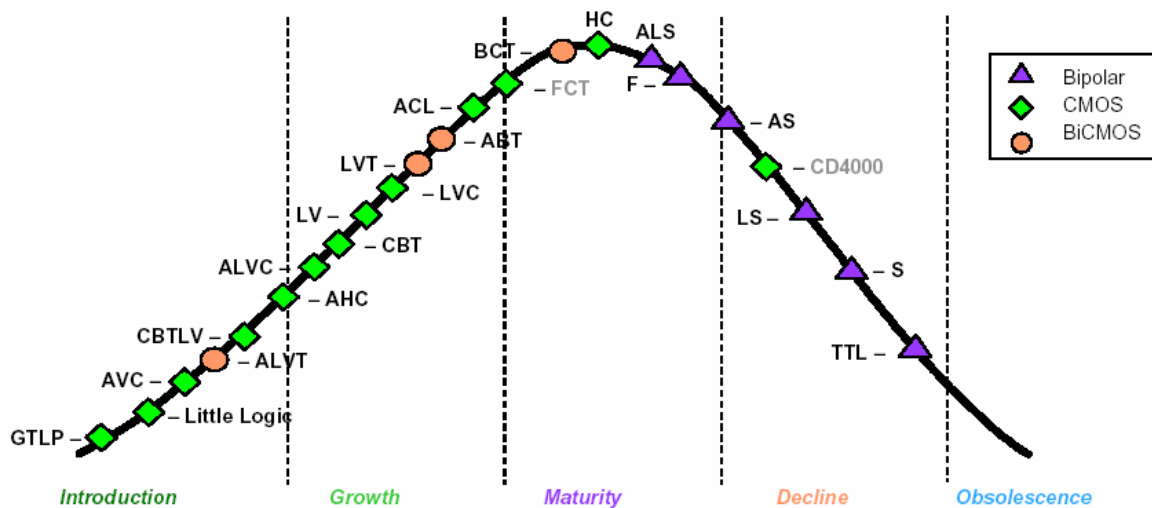


Figura 4.47. Ciclul de viață pentru familiile de circuite integrate logice.

Family Performance Positioning

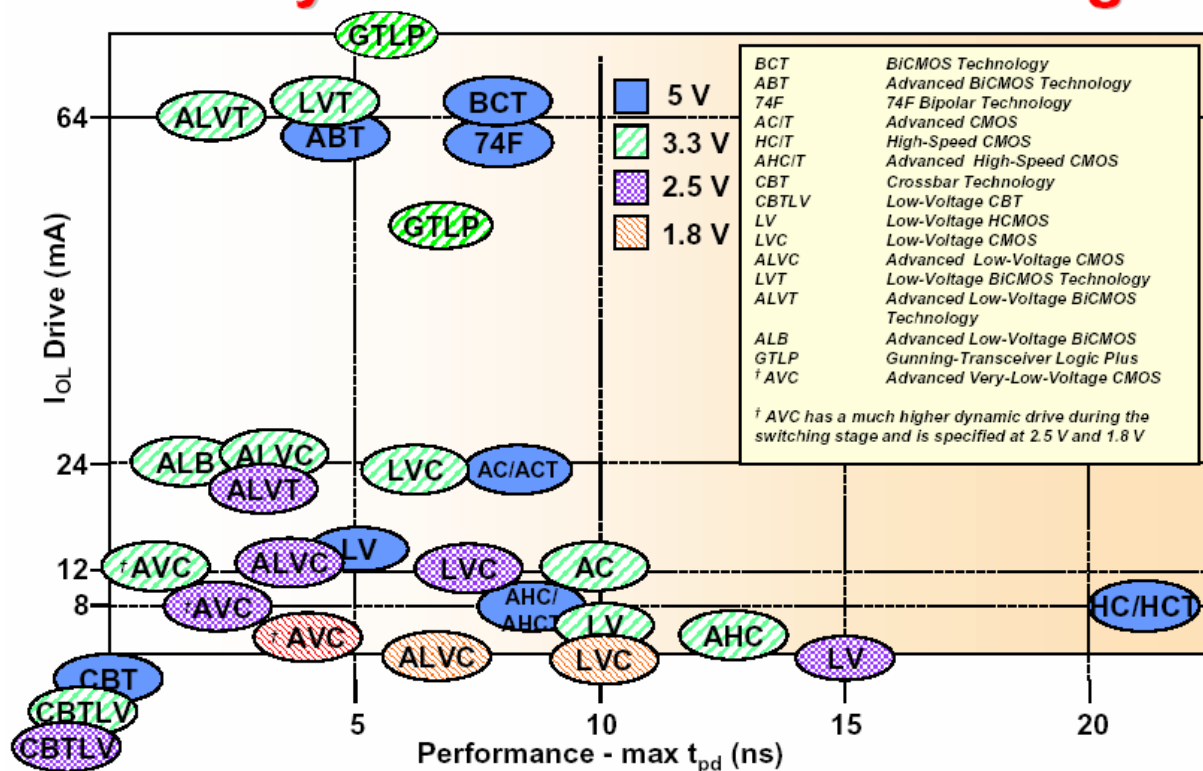


Figura 4.48. Performanțele principalelor familii TTL și CMOS.

3-V and 5-V TTL and CMOS Specifications

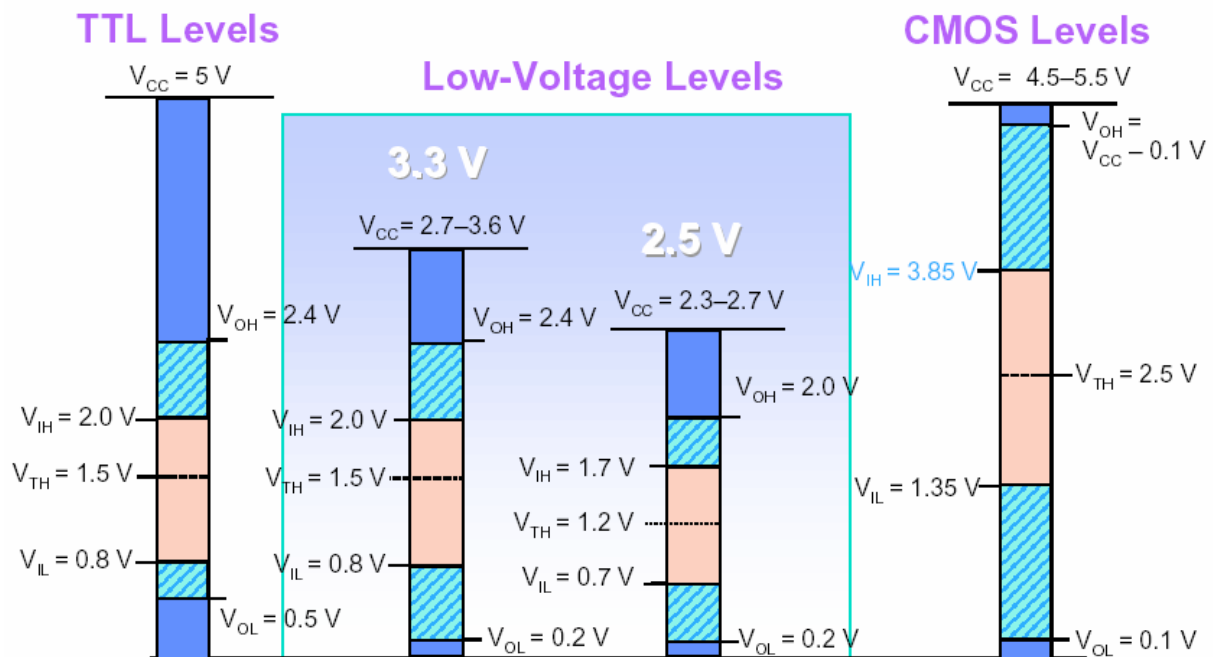


Figura 4.49. Recapitularea nivelurilor de tensiune TTL și CMOS.